МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

«МАТИ - РОССИЙСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНОЛОГИЧЕСКИЙ

УНИВЕРСИТЕТ имени К.Э. ЦИОЛКОВСКОГО» (МАТИ**)**

Кафедра «Прикладная математика, информационные технологии

и электротехника»

**АНАЛИЗ И СИНТЕЗ ТИПОВЫХ**

**ЭЛЕКТРОННЫХ УСТРОЙСТВ**

Методические указания к выполнению курсовой работы КР7

по модулю 2 «Электроника» базовой дисциплины для вузов

«Электротехника и электроника»

естественнонаучных направлений подготовки бакалавров

Составитель

проф., д.т.н. Опадчий Ю.Ф.

Москва

2015

**Введение**

Методические указания к выполнению курсовой работы КР7 «Анализ и синтез типовых электронных устройств» предназначены для студентов вузов, изучающих базовую дисциплину «Электротехника и электроника» в объёме 7-8 зачётных единиц (252-288 академических часов), включенной в примерные образовательные программы ФГОС ВПО-3 естественнонаучных профилей подготовки бакалавров и дипломированных специалистов. В методических указаниях излагается содержание курсовой работы КР7 по дисциплине “Электротехника и электроника” (модуль 2 «Электроника), приводится перечень и варианты заданий, подлежащие выполнению, рекомендации по оформлению отчета по работе. В приложениях приведены основные теоретические положения, относящиеся к темам заданий курсовой работы, и примеры выполнения заданий.

Ц е л ь ю курсовой работы является:

• получение навыков анализа и синтеза электронных устройств;

• закрепление теоретических положений, рассмотренных на лекциях.

Курсовая работа КР7 состоит из трёх заданий:

З а д а н и е 7.1. Построение логарифмической амплитудно-частотной характеристики (ЛАЧХ) преобразователя сигналов на операционном усилителе (срок сдачи – в конце второго месяца семестра).

З а д а н и e 7.2. Синтез комбинационного логического устройства в заданном базисе логических элементов (срок сдачи – в конце третьего месяца семестра).

З а д а н и е 7.3. Синтез цифрового автомата (срок сдачи и защита курсовой работы – в зачётную неделю семестра).

В н и м а н и е! В случае сдачи соответствующих заданий курсовой работы на проверку преподавателю с опозданием (без уважительных причин) более одной недели от указанных сроков, максимальная интегральная оценка (защищаемой курсовой работы), заносимая в зачётную ведомость, у д о в л е т в о р и т е л ь н о.

Итоговая оценка (отлично, хорошо, удовлетворительно, неудовлетворительно) за выполненную, оформленную в соответствии с требованиями к отчету по работе, и защищённую (в комиссии, состоящей обычно из двух преподавателей) курсовую работу заносится в зачётную ведомость учебной части института (деканата) в конце семестра.

Студент, не выполнивший и не защитивший в текущем семестре курсовую работу или получивший неудовлетворительную оценку при ее защите (как и не выполнивший в полном объеме лабораторный практикум по модулю «Электроника»), к экзамену по дисциплине “Электротехника и электроника” не допускается кафедрой, о чем в соответствующей строке экзаменационной ведомости (напротив фамилии студента) в день экзамена ставится отметка н/к (не допущен к экзамену кафедрой).

**Оформление отчёта по курсовой работе КР7**

Отчет по курсовой работе оформляется на стандартных листах белой бумаги форматом А4, сброшюрованных в папку, на одной стороне листов с полями не менее 25-30 мм, где первая страница обложки может служить титульным листом отчета по работе. В верхней части обложки последовательно указать:

Министерство образования и науки Российской Федерации

ФГБОУ ВПО «МАТИ – Российский государственный технологический

университет имени К. Э. Циолковского" (МАТИ)

Кафедра “Прикладная математика, информационные

технологии и электротехника”

Ниже (по центру):

Курсовая работа по модулю 2 "Электроника"

базовой дисциплины для вузов "Электротехника и электроника" на тему:

АНАЛИЗ И СИНТЕЗ ТИПОВЫХ ЭЛЕКТРОННЫХ УСТРОЙСТВ

Ниже записать полный номер группы (например, 3ИНТ-2ДБ-202), фамилию И.О. студента, полный код расчётного варианта, например, КР7-13 – код 13-го варианта заданий курсовой работы КР7.

Далее, привести данные: Выполнил(а): "\_\_\_" \_\_\_\_\_\_\_\_\_\_201\_\_г., Подпись студента. Сдано преподавателю на проверку "\_\_"\_ \_\_\_\_201\_\_г., Проверил: \_\_\_\_\_\_\_\_\_\_ (доцент Иванов И. И.) "\_\_\_" \_\_\_\_\_\_\_ 201\_\_г.

Внизу листа (по центру) записать имя города и текущий год.

На следующей странице представляется **Аннотация** выполненной работы (не более 2/3 страницы) с краткой характеристикой расчётных схем устройств, используемых методов (законов, правил и т.п) их анализа и полученных результатов выполнения заданий.

Например, аннотация первого задания:

«В Задании 1 проведен анализ частотных свойств преобразователя аналоговой информации, выполненном на основе операционного усилителя. При анализе схемы и её расчёте использован операторный метод получения передаточных функций элементарных звеньев и преобразователя, охваченного цепью отрицательной обратной связи. На основе передаточной функции рассчитана и построена ЛАЧХ заданного преобразователя и определены основные параметры устройства».

Аналогично даётся аннотация выполненных 2-го и 3-го заданий работы КР7.

На третьей странице пояснительной записки приводится полное задание на курсовую работу (см. стр. 2).

На четвертой странице записывается заглавие задания 1 курсовой работы КР7 и под ним (в скобках) код расчётного варианта. Ниже вычерчивается (с соблюдением ГОСТ 2.721-74) принципиальная электрическая схема устройства и под ней записываются из таблицы 7.1 исходные данные для расчёта заданного варианта, например: DА - К140УД10, *R*1 = 36 кОм, *R*2 *=* 12 Ом, *С*1 = ... и т.д.

Далее, выполняется поэтапный расчёт схемы цепи с соответствующими заголовками каждого этапа (шага), с вычерчиванием необходимых расчётных схем с условно положительными направлениями токов и напряжений, с записью уравнений и формул в общем виде с последующей подстановкой численных значений входящих в формулы физических величин и с записью промежуточных результатов расчёта (для поиска возможных ошибок в расчёте преподавателем). Результаты расчётов следует округлять, оставляя не более четырех-пяти значащих цифр, выражая числа с плавающей запятой, если они велики или малы.

Диаграммы и графики вычерчиваются на миллиметровой бумаге (или на листах с мелкой сеткой при выполнении работы на ПК) с использованием соответствующих равномерных или логарифмических масштабов по осям и с указанием размерностей. Рисунки и диаграммы должны быть пронумерованы и снабжены надписью, например, Рис. 2. ЛАЧХ последовательного звена коррекции. Нумерация, как рисунков, так и формул – сквозная по всем трём заданиям!

Далее, продолжение оформления отчётов по 2-му и 3-му заданиям.

По результатам расчётов и графических построений формулируются выводы по каждому заданию или в конце отчёта – по всей курсовой работе. На последней странице отчета студент ставит свою подпись и дату завершения выполнения работы.

В н и м а н и е! 1. Небрежно оформленные отчеты по курсовой работе возвращаются студентам для переоформления. Также преподаватель возвращает отдельным студентам отчеты на доработку с пометками ошибок на листах или с перечнем замечаний и рекомендаций по исправлению ошибок на титульном листе.

2. После защиты курсовых работ, пояснительные записки студентов групп с отметкой и подписью преподавателя (двух преподавателей) на титульных листах, занесенных также в соответствующую ведомость и в зачётные книжки сту­дентов, сдаются на кафедру для хранения в течение двух лет.

***Задание 1***

**Расчёт и построение логарифмической амплитудно-частотной характеристики (ЛАЧХ) преобразователя сигналов**

**на операционном усилителе**

Для заданной схемы преобразователя аналоговых сигналов на операционном усилителе (ОУ) рассчитать и построить его ЛАЧХ и определить основные параметры данного устройства.

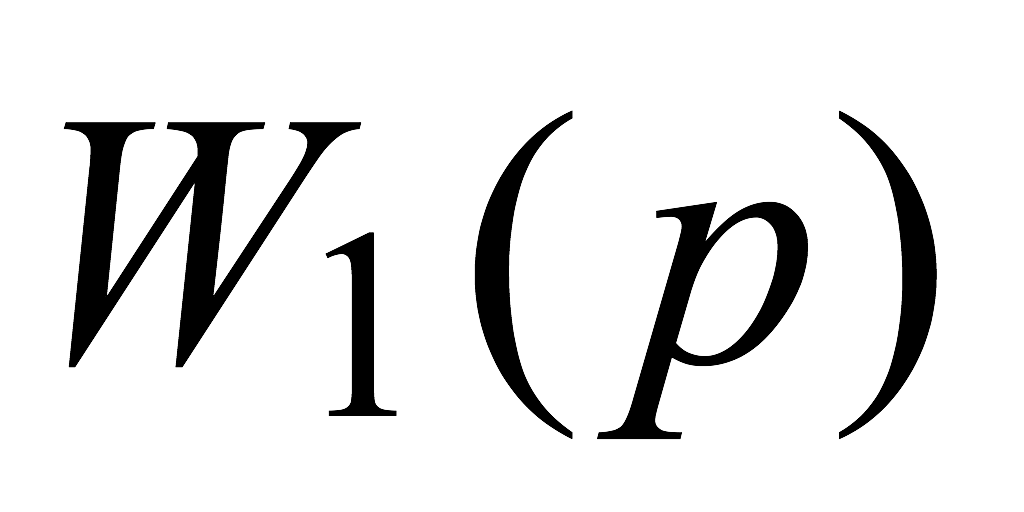
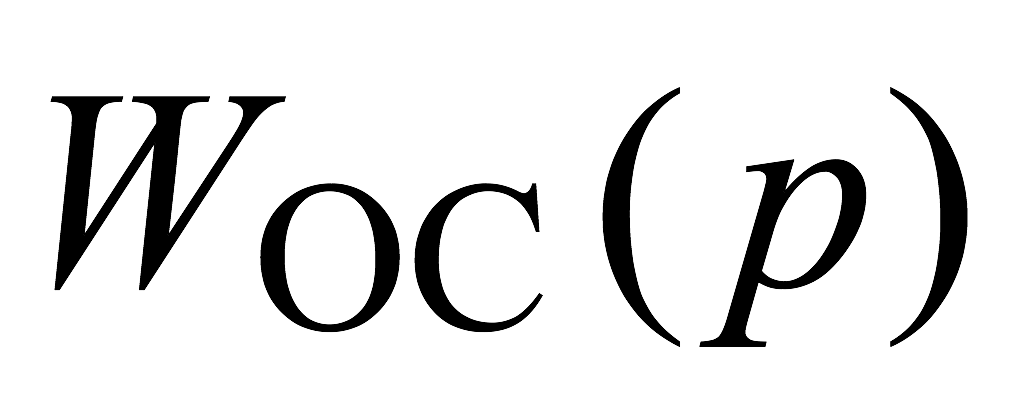
Для этого согласно варианту (см. табл. 7.1) необходимо:

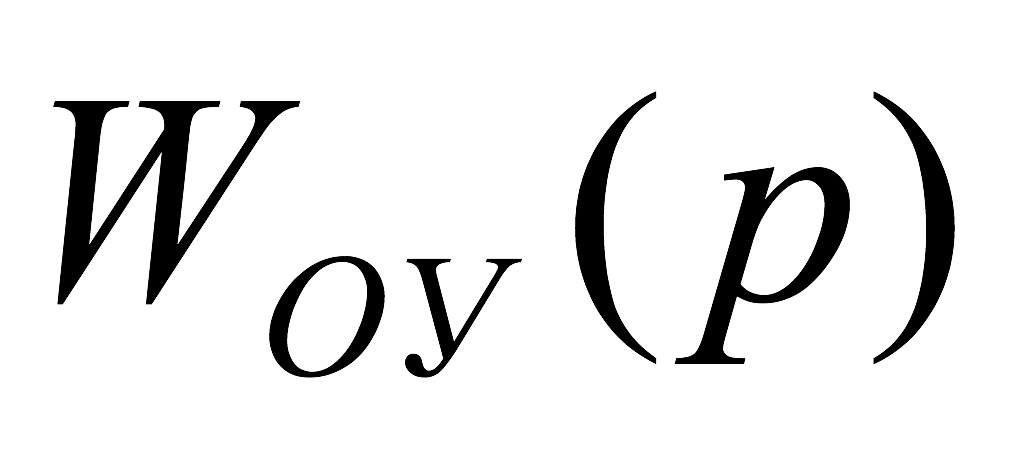
1.1. Вычертить в соответствии с ГОСТ расчётную принципиальную электрическую схему преобразователя аналоговых сигналов, используя заданные в таблице 7.2 данные схемы последовательного звена коррекции и звена цепи отрицательной обратной связи (ООС).

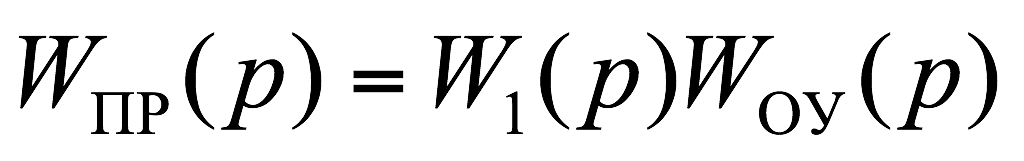
1.2. Пронумеровать сначала элементы последовательной цепи коррекции, а затем – элементы цепи ООС усилителя. Нумерацию элементов цепей выполнять слева направо (см. приложение 7.2).

1.3. Из таблицы 7.3 выписать заданные параметры звеньев преобразователя (выписываются параметры только тех элементов, которые присутствуют в полученной схеме устройства), а из таблицы 7.4 – тип и коэффициент усиления используемого операционного усилителя.

1.4. Записать в общем виде передаточную функцию преобразователя.

1.5. Получить передаточные функции последовательного звена коррекции  и звена цепи ООС  преобразователя.

1.6. Получить передаточную функцию операционного усилителя  с заданным звеном в цепи ООС усилителя.

1.7. С учетом полученных передаточных функций звеньев записать передаточную функцию преобразователя . Полученную передаточную функцию преобразовать к виду, содержащему стандартные сомножители вида *К*, τ*р* или τ*р* + 1, где *К* − постоянный коэффициент, τ − постоянная времени звена, *р* – оператор Лапласа. Значения *К* и τ определяются параметрами элементов звеньев, входящих в заданное устройство.

1.8. Вычислить численные значения параметров *К* и τ, входящих в передаточную функцию преобразователя сигналов.

1.9. Вычислить частоты сопряжения асимптот ЛАЧХ анализируемого устройства и значения коэффициентов передачи для этих частот.

1.10. Используя полученные значения, построить ЛАЧХ исследуемого преобразователя сигналов и определить его коэффициент передачи и полосу пропускания.

1.11. Сформулировать выводы по результатам выполненного задания.

П р и м е ч а н и я.

1. Основные теоретические положения, необходимые для выполнения задания 1 курсовой работы КР7, приведены в приложении 1.

2. В приложении 2 приведен пример выполнения задания 1 курсовой работы КР7.

Л и т е р а т у р а

1. Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника (Полный курс): Учебник для вузов . Под ред. О.П. Глудкина. − М.: Голячая линия. Телеком, 2007. – 768 с.

2. Новожилов О.П. Основы цифровой техники. Учебное пособие. − М.: РадиоСофт, 2004. – 528 с.

.

**Варианты задания 1 курсовой работы КР7**

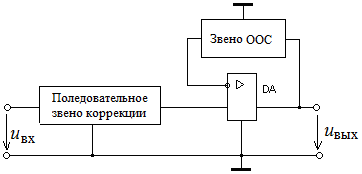
На рис. 1.1. приведена обобщенная схема преобразователя аналоговых сигналов, выполненная на операционном усилителе DA.

Рис. 1.1. Обобщенная схема преобразователя аналоговых

сигналов на основе операционного усилителя DA

Таблица 7.1. Варианты задания 1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| № п.п | Последовательное звено коррекции | Звено ООС | | Тип ОУ | Параметры звеньев  (см. табл. 7.3) |
| 38 | *W*5 | | *W*6 | 6 | 38 |

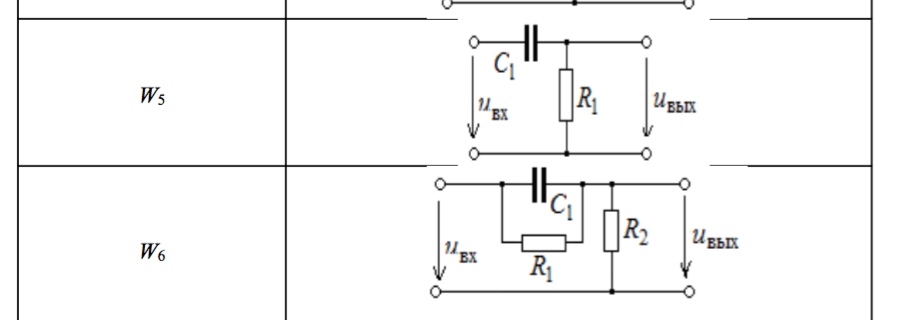
****

Таблица 7.2. Типовые звенья преобразователя

Таблица 7.3. Параметры звеньев преобразователя

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № п.п | *R*1,  кОм | *R*2,  кОм | *R*3,  кОм | *R*4,  кОм | *R*5,  кОм | *R*6,  кОм | *C*1 | *C*2 |
| 38 | 1,5 | 1,5 | 470 | 3,3 | 100 | 47 | 2,2 мкФ | 1,2 нФ |

Таблица 7.4. Параметры операционных усилителей

|  |  |  |
| --- | --- | --- |
| Номер п.п | Тип ОУ | Коэффициент усиления ОУ |
| 6 | К140УД8 | 30000 |

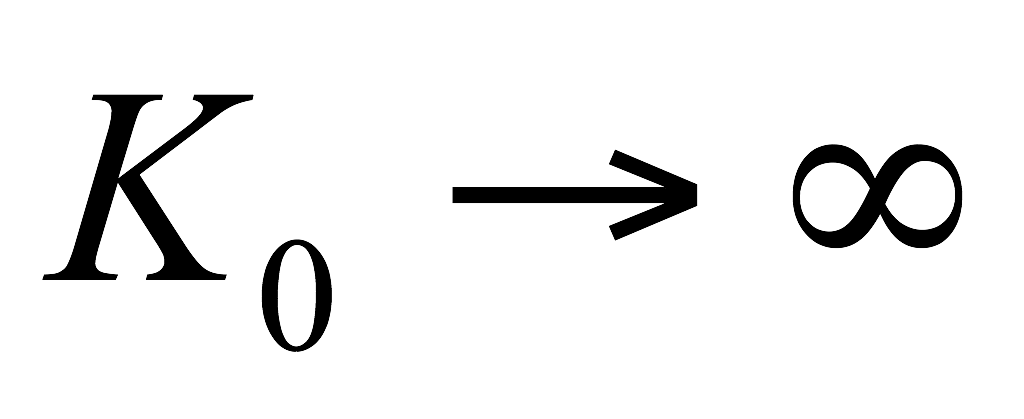
***Приложение 1***

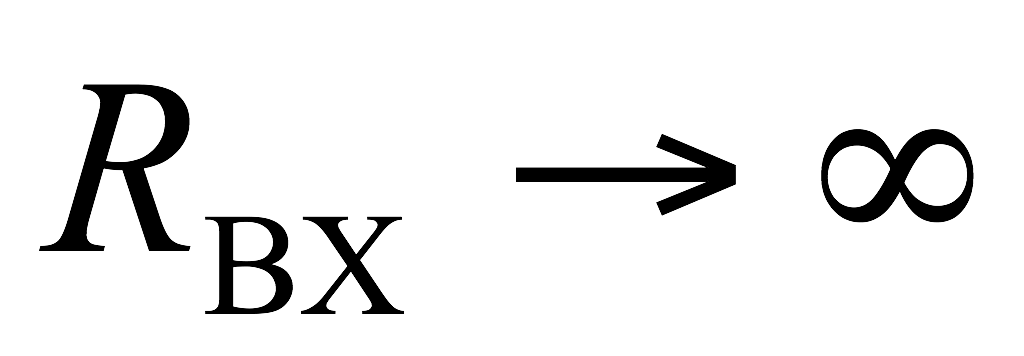
**П1. Расчёт передаточной функции преобразователя аналоговых сигналов на операционном усилителе и построение его ЛАЧХ**

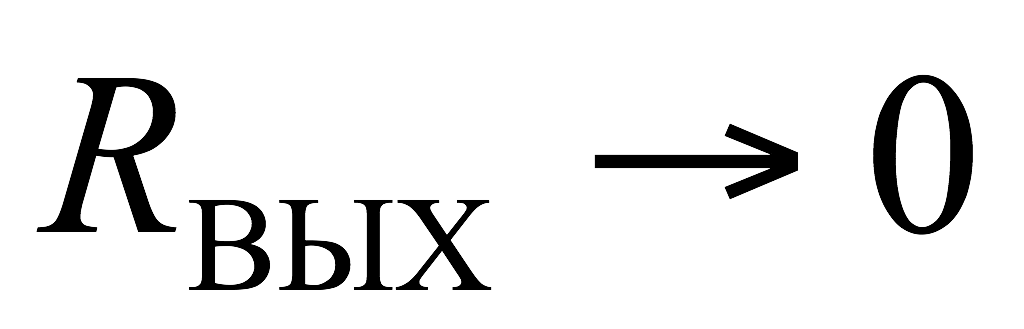
**(*см. задание* КР7*-*1)**

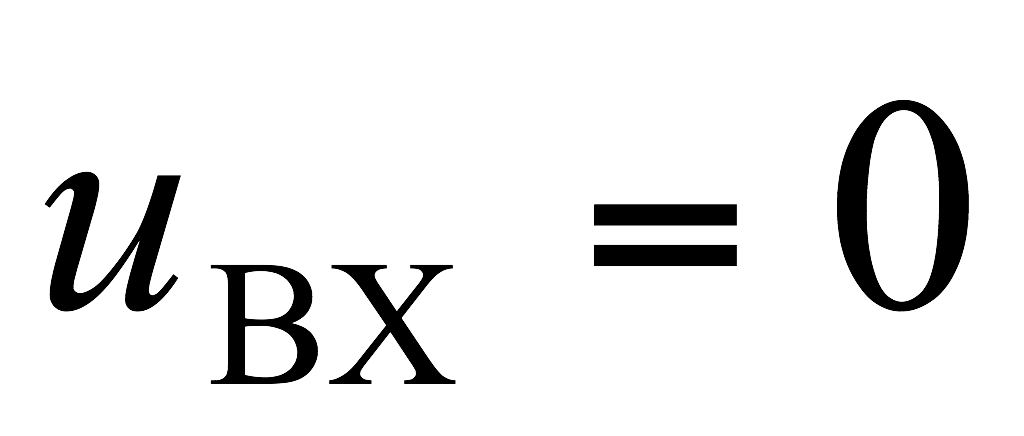
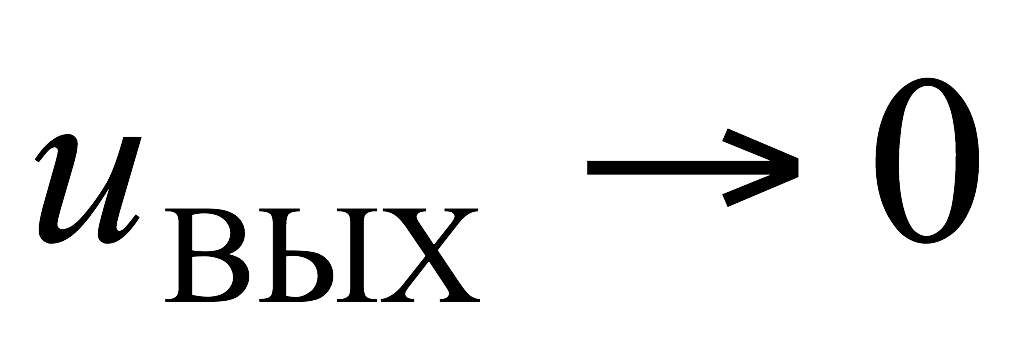
**П1.1. Основные определения**

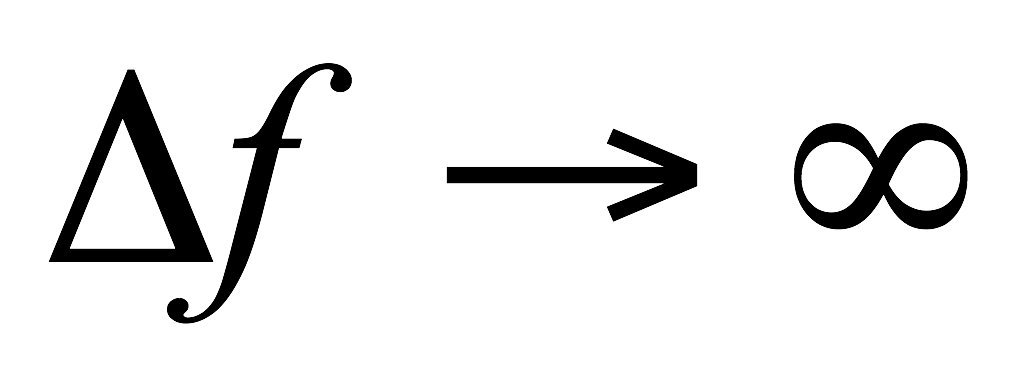
Операционный усилитель (ОУ) это усилитель постоянного тока с двумя входами (инвертирующим и неинвертирующим) в идеальном варианте удовлетворяющий следующим постулатам:

1) коэффициент усиления ОУ стремится к бесконечности ;

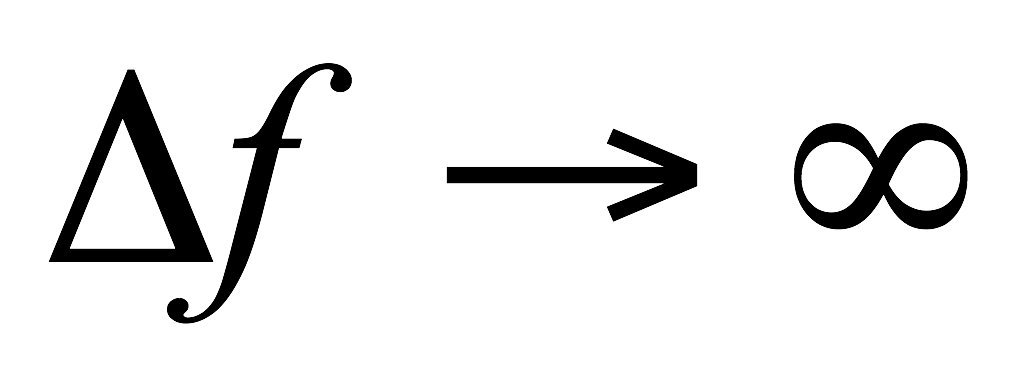
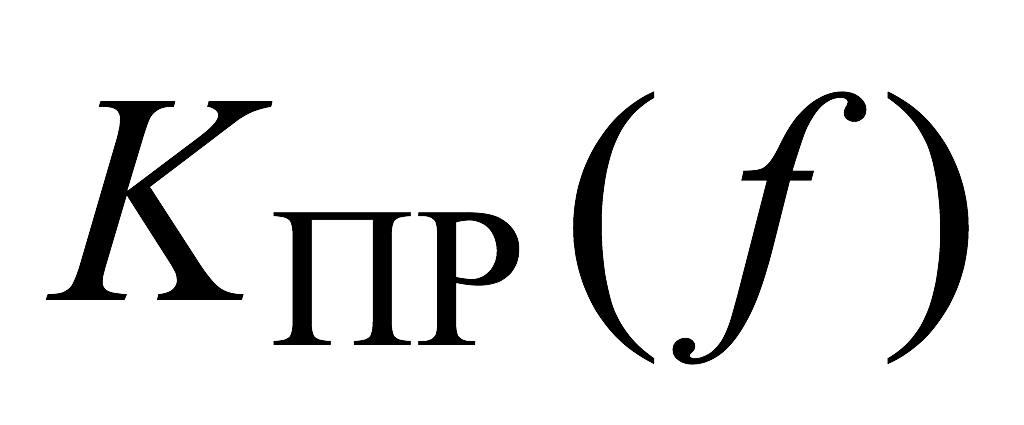
2) входное сопротивление ОУ стремится к бесконечности ;

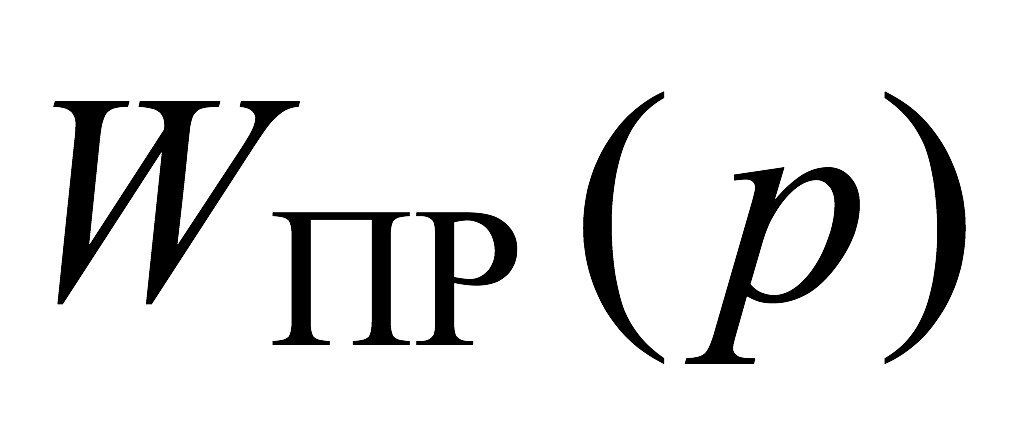
3) выходное сопротивление ОУ стремится к нулю ;

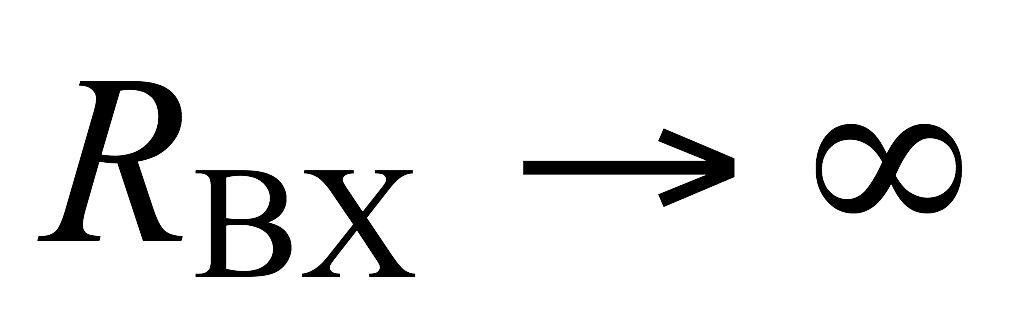
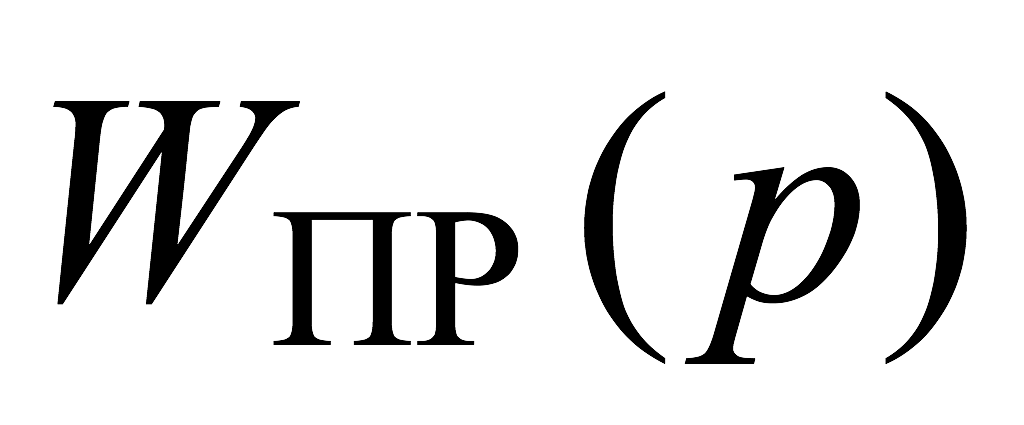
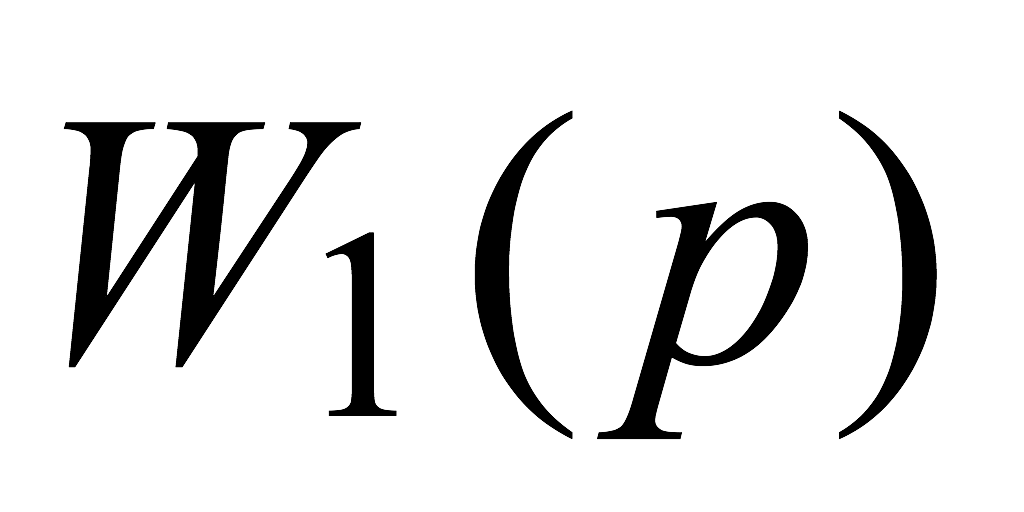
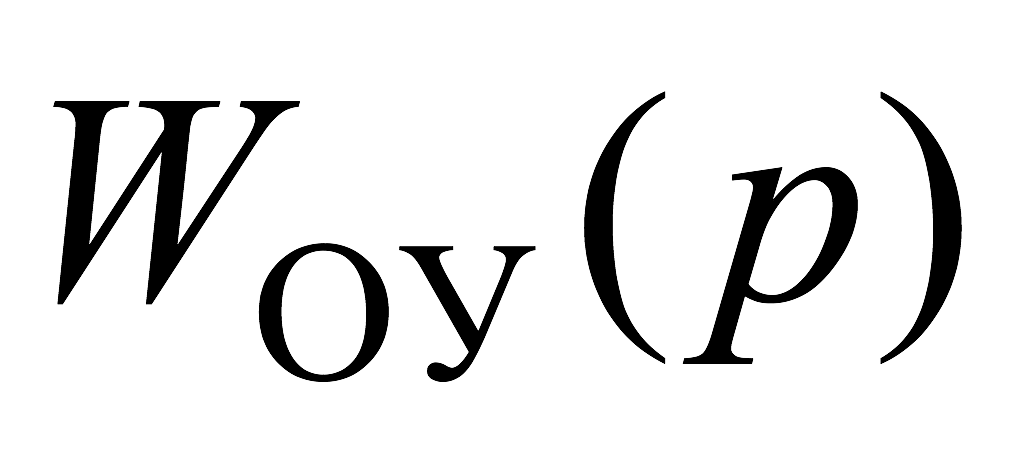
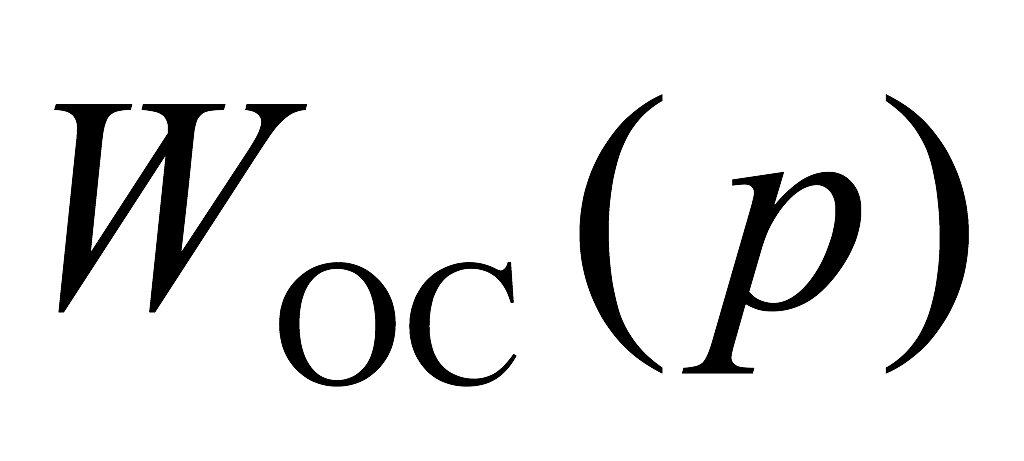
4) если входное напряжение , то и выходное напряжение ;

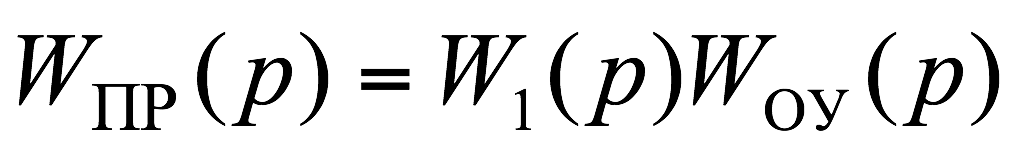
5) полоса усиливаемых частот стремится к бесконечности ().

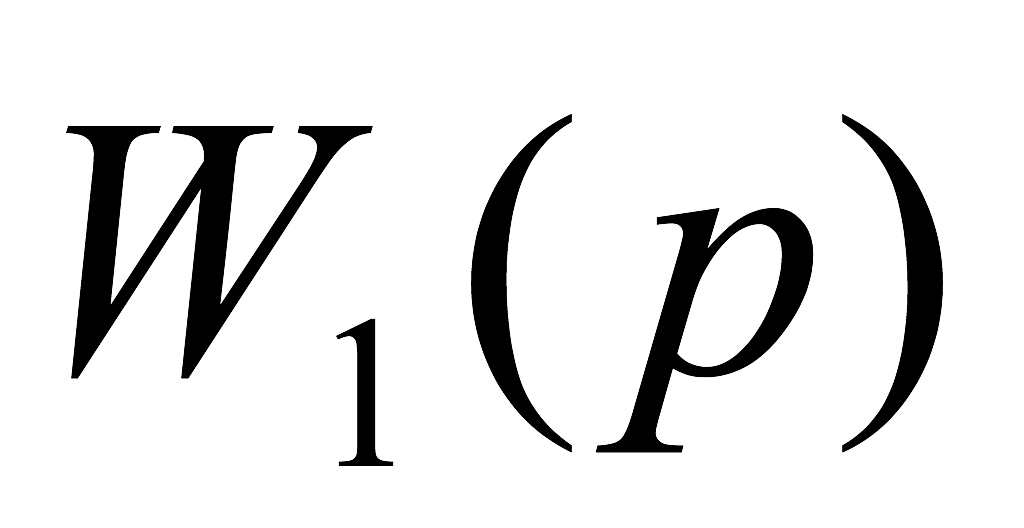
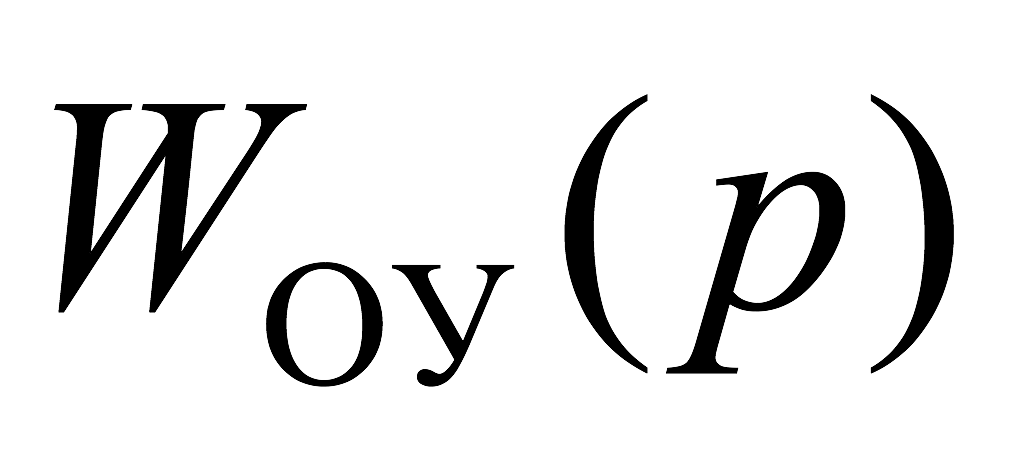
Очевидно, что на практике, эти постулаты полностью не выполняются. Однако, в большом числе практических применений они достаточно точно отражают свойства ОУ и значительно упрощают расчёт реальных схем.

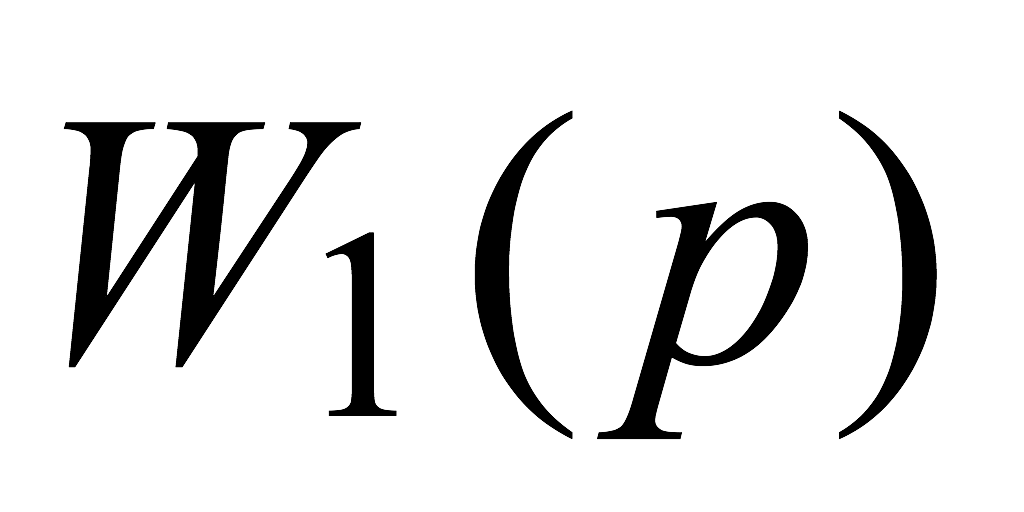
Так как согласно последнему постулату () ОУ одинаково усиливает весь спектр входных частот, то требуемые частотные свойства (в частности, коэффициент усиления ) реального преобразователя аналоговых сигналов) можно получить введением дополнительных частотозависимых звеньев. Эти звенья (см. рис. 7.1) могут быть включены либо последовательно во входную или выходную цепи ОУ, либо в цепь его обратной связи.

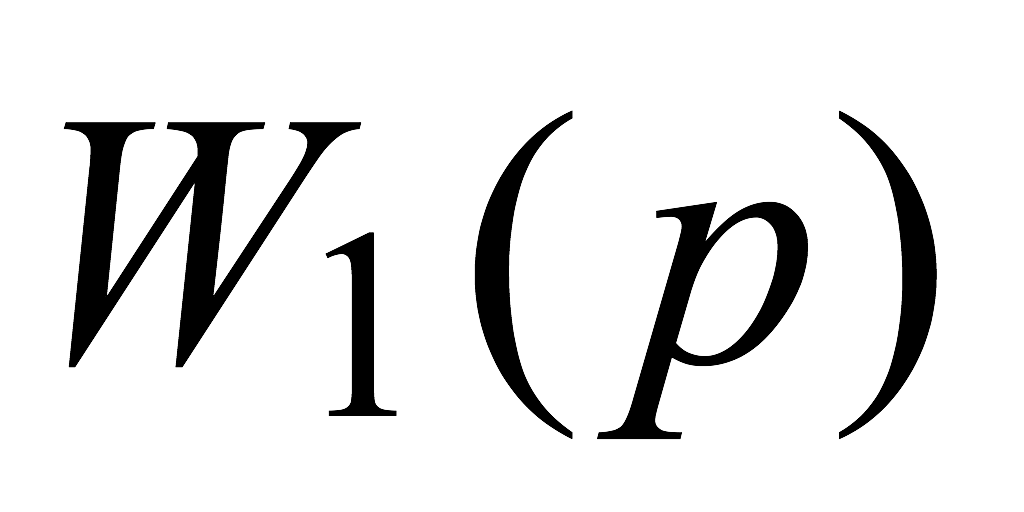
При описании частотных свойств преобразователя удобно пользоваться понятием его передаточной функции , фактически отражающей зависимость коэффициента передачи устройства от частоты входного сигнала.

Учитывая второй постулат (), можно полагать, что последовательное звено коррекции (см. рис. 7.1) работает по выходу в режиме холостого хода. В этом случае передаточную функцию всего устройства  можно представить в виде произведения передаточных функций последовательного звена коррекции и операционного усилителя , охваченного частотозависимой цепью отрицательной обратной связи (ООС) с передаточной функцией  т. е

**. (П1.1)

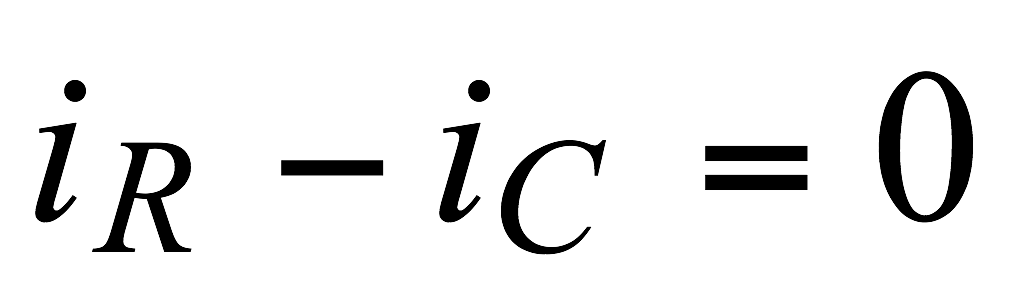
Определим передаточные функции  и  отдельных звеньев преобразователя.

**П1.2. Вывод передаточной функции ** **звена коррекции**

Передаточную функцию можно получить либо из дифференциального уравнения звена, либо используя его операторную схему замещения.

Рассмотрим оба варианта.

**Вариант 1.** Допустим задана цепь *W*1 из таблицы 7.2. (рис. П1.1).

Запишем для узла *а* уравнение по первому закону Кирхгофа:  или

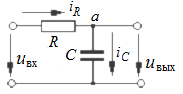
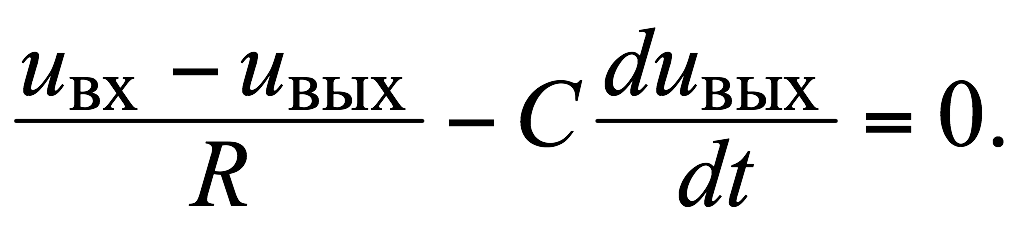
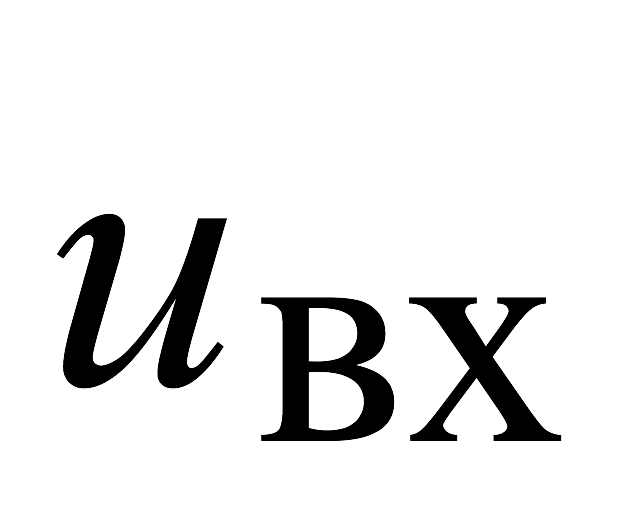
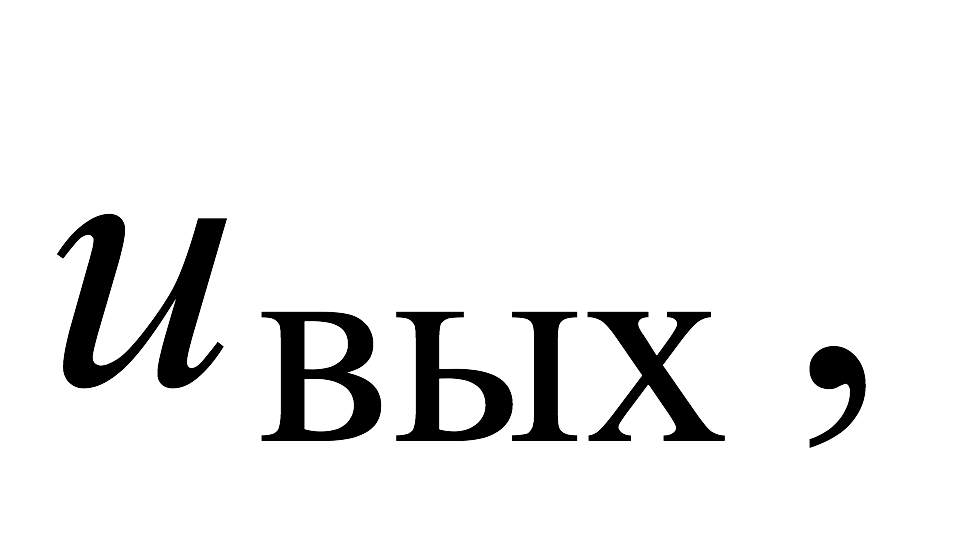
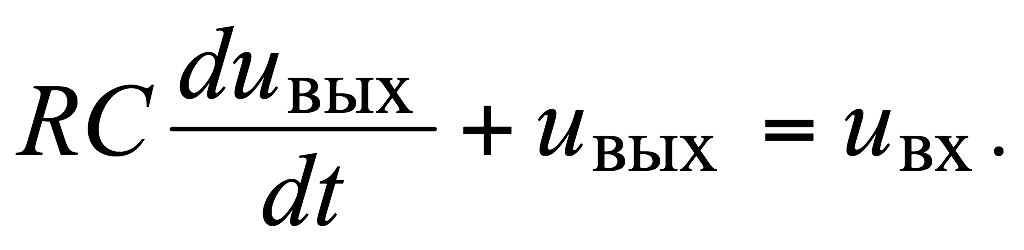
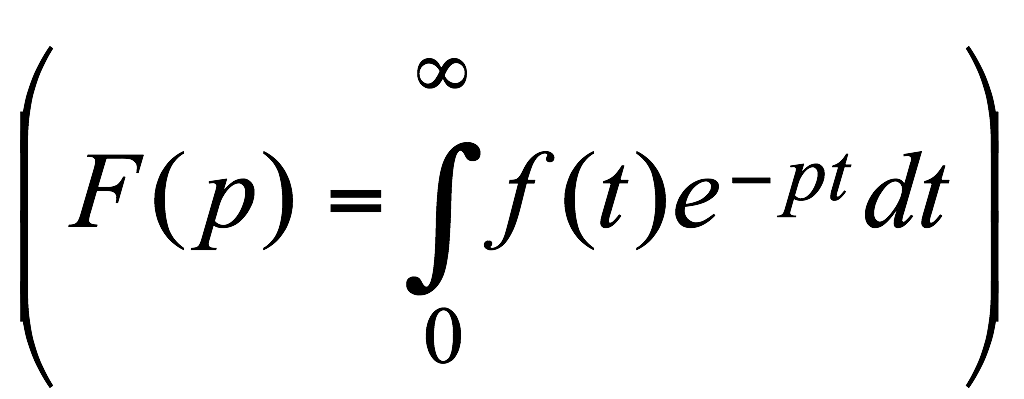
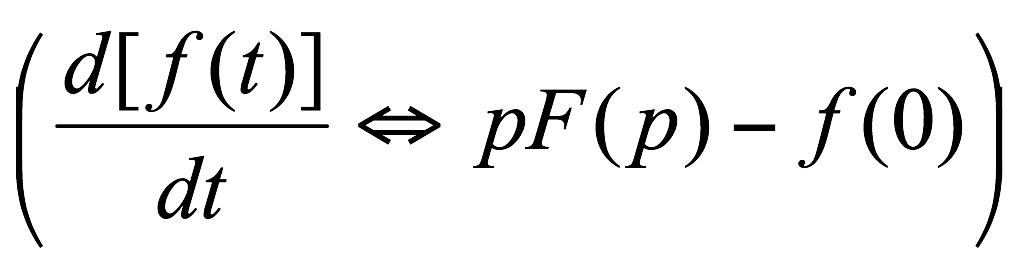
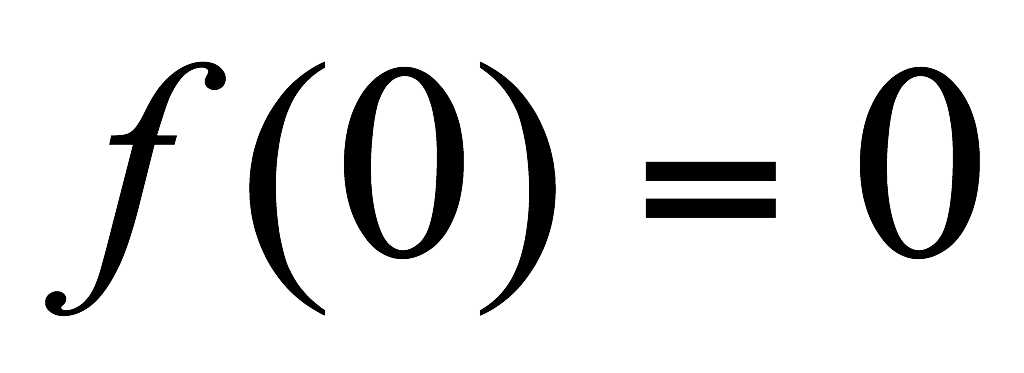


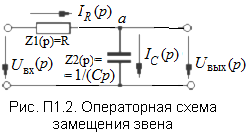
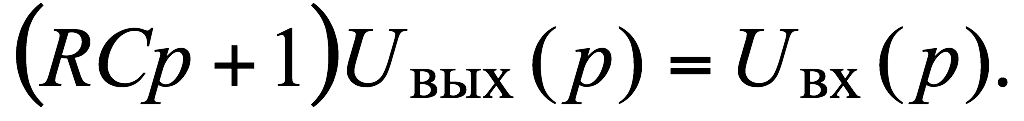
Рис. П1.1. Звено коррекции



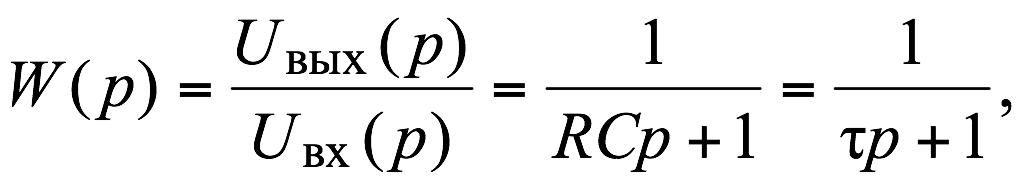
Перепишем полученное уравнение, разделив члены, содержащие переменные и 



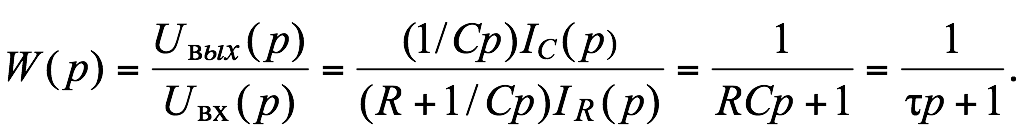
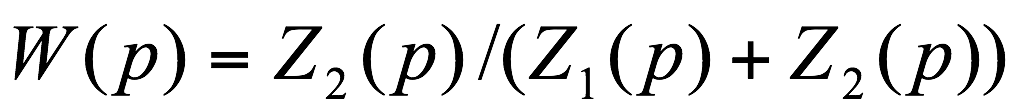
Переходя к изображениям временных функций *f*(*t*)  и их производных  при нулевых начальных условиях (), получим:

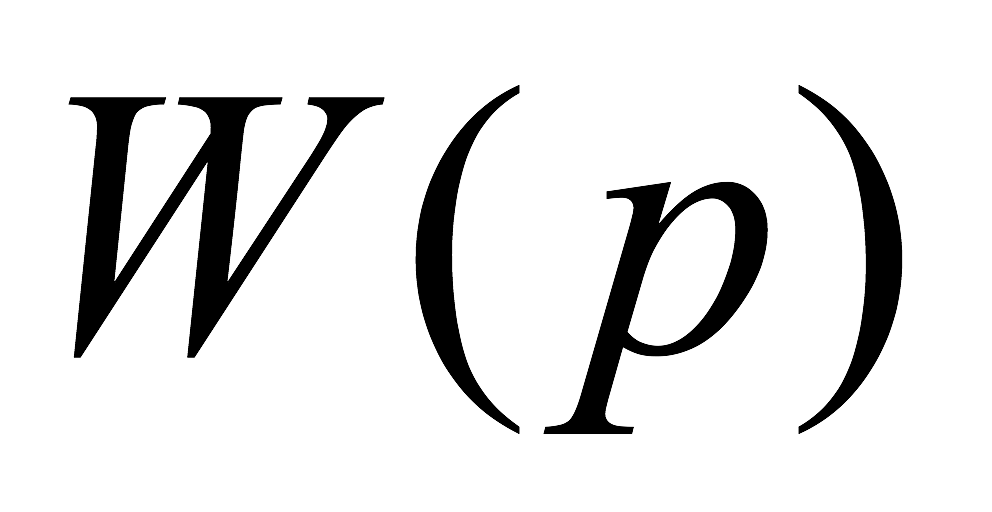
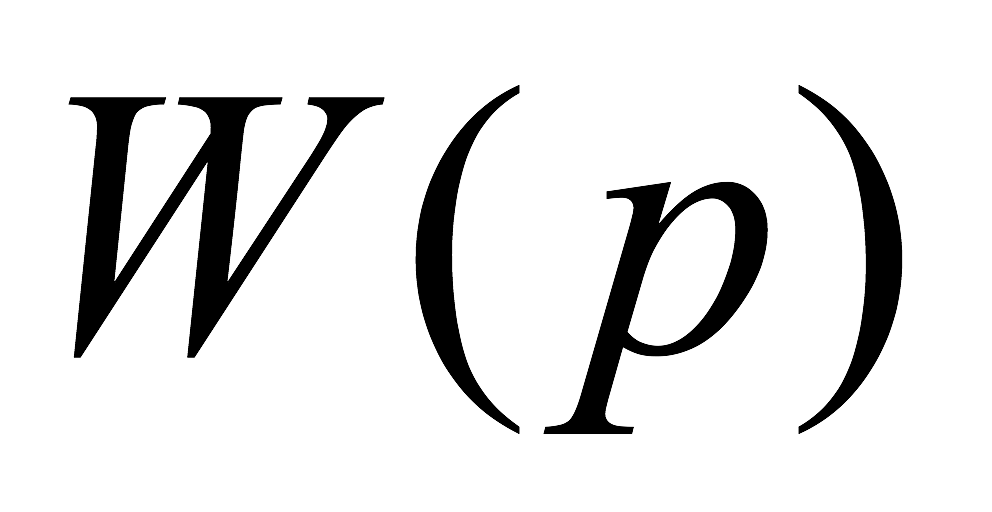


Откуда передаточная функция рассматриваемого звена



где произведение *RC* называют постоянной времени данного звена и обозначают символом τ (τ = *RС*).

**Вариант 2.** Запишем выражение передаточной функция звена, представленного в операторной форме (рис. П1.2) По правилу делителя напряжения (:

Полученные в обоих вариантах выражения передаточной функции звена  идентичны. Очевидно, что вывод функции  значительно проще во втором варианте.

**П1.3. Вывод передаточной функции  усилителя с ООС**

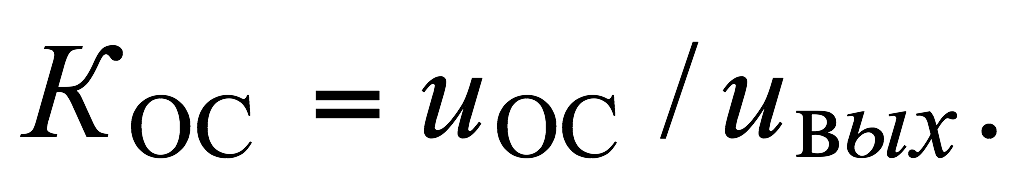
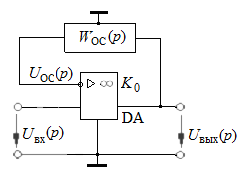
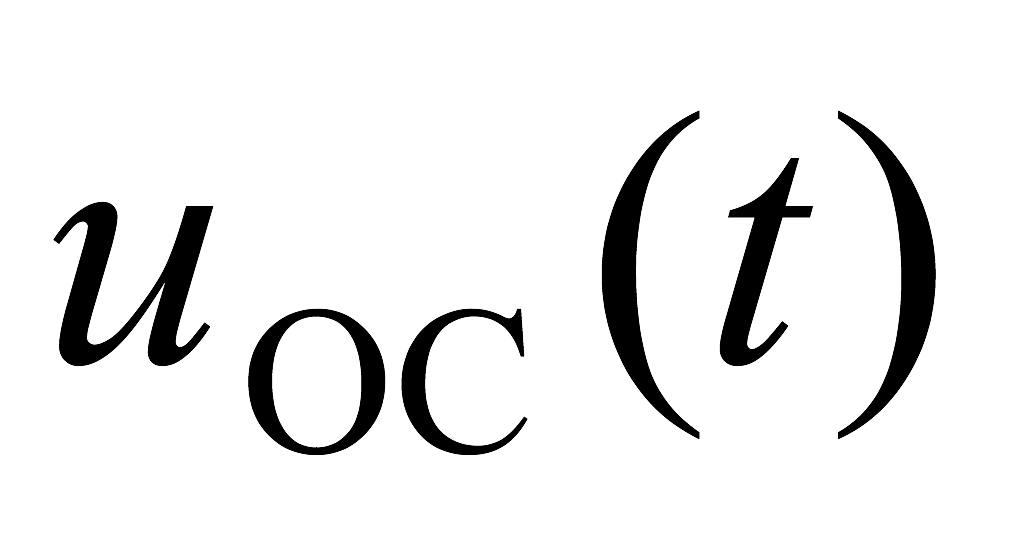
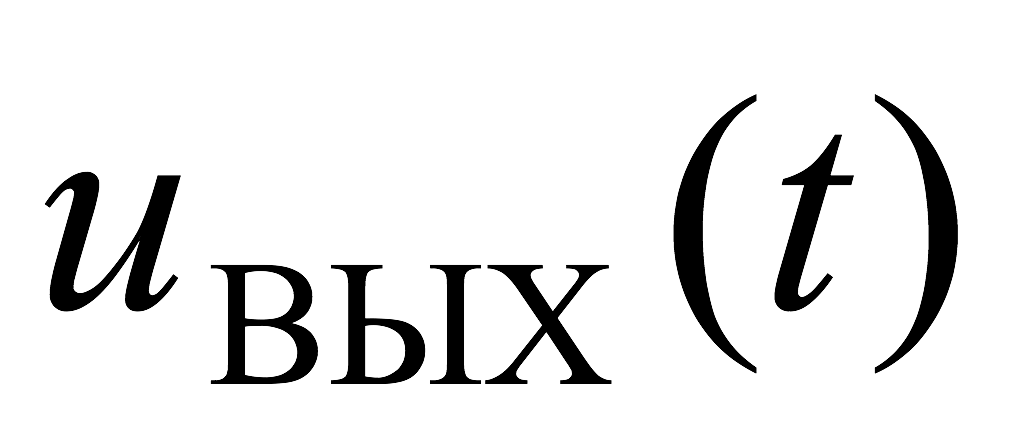
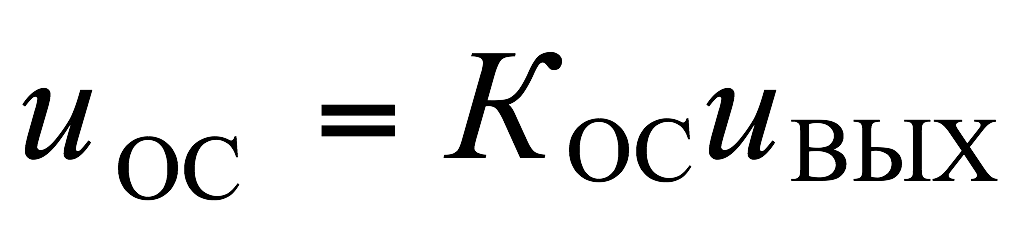
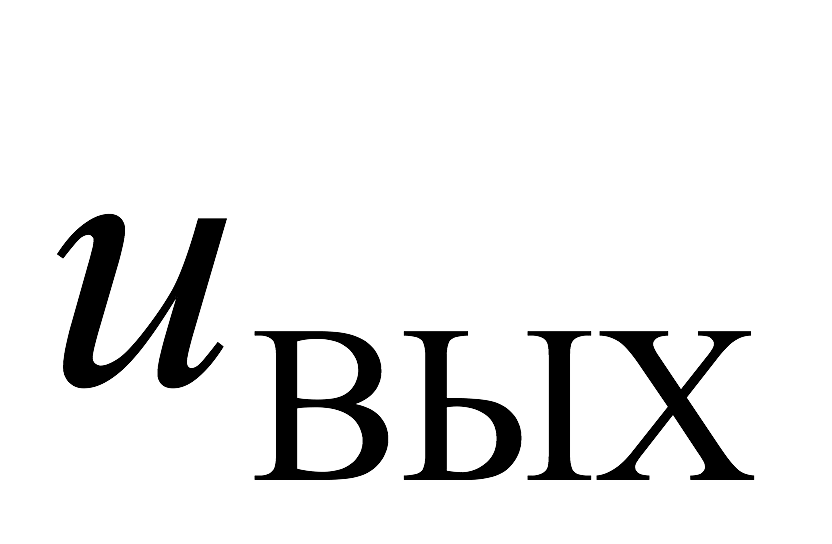
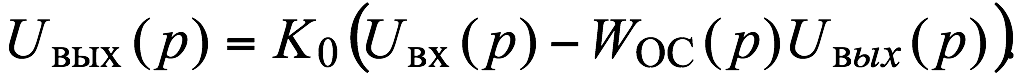
Рассмотрим ОУ (DA) (рис. П1.3) с коэффициентом передачи *К*0, охваченный цепью последовательной отрицательной обратной связи по напряжению с коэффициентом передачи 

Рис.П1.3. ОУ с цепью ООС

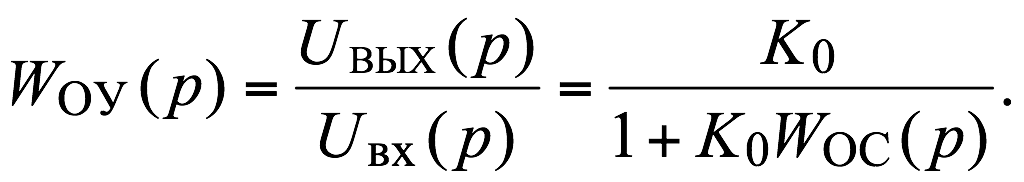


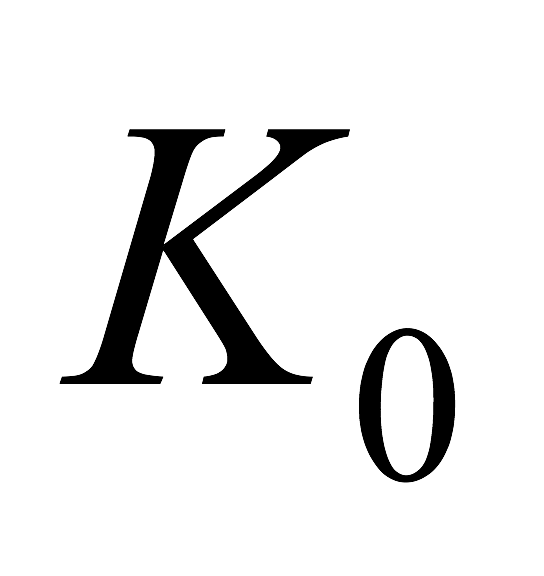
Так как фазы напряжений и  сдвинуты относительно друг друга на половину периода (используется инвертирующий вход операционного усилителя), то увеличение напряжения  приводит к уменьшению выходного напряжения .

ОУ усиливает разность напряжений, приложенных между его неинвертирующим и инвертирующим входами. Поэтому выходное напряжение ОУ в операторной форме

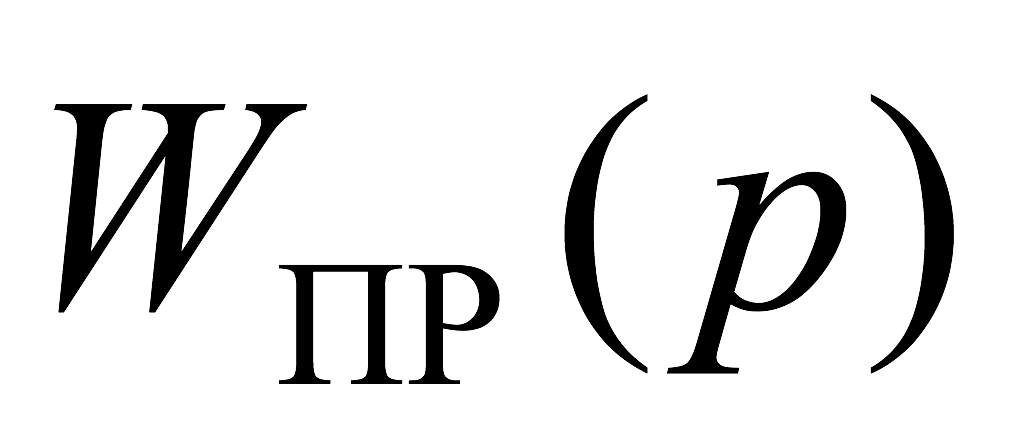


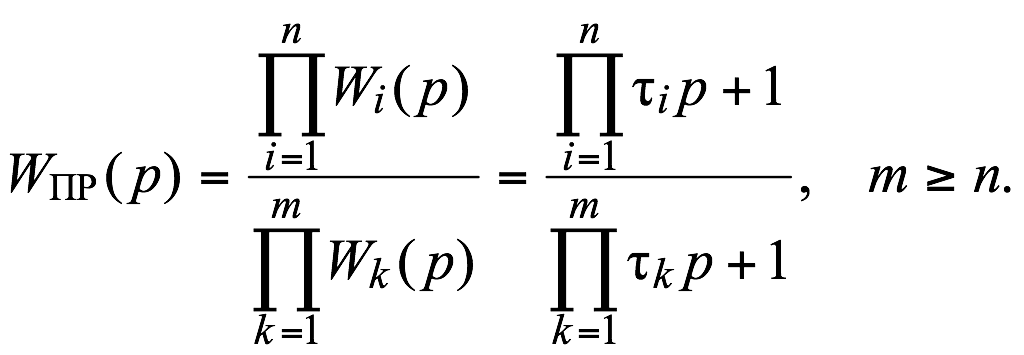
Передаточная функция ОУ с последовательной ООС по напряжению

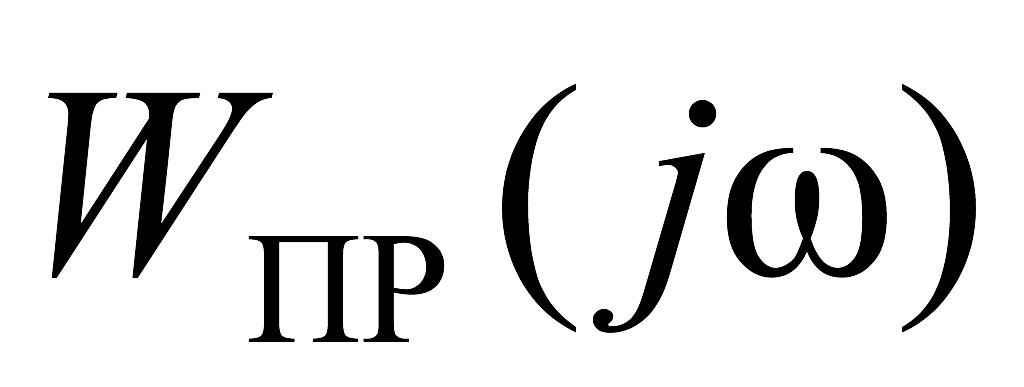
 (П1.2)

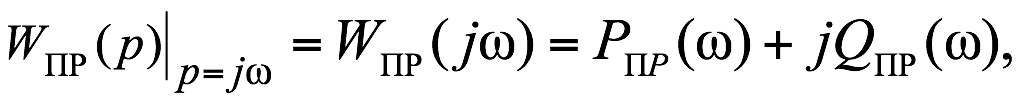
П р и м е ч а н и е. В выражении (П1.2) учтён пятый постулат ОУ о независимости его коэффициента усиления *К*0 от частоты. Если необходимо учесть собственные частотные свойства ОУ, то в полученном выражении значение необходимо заменить реальной передаточной функцией усилителя.

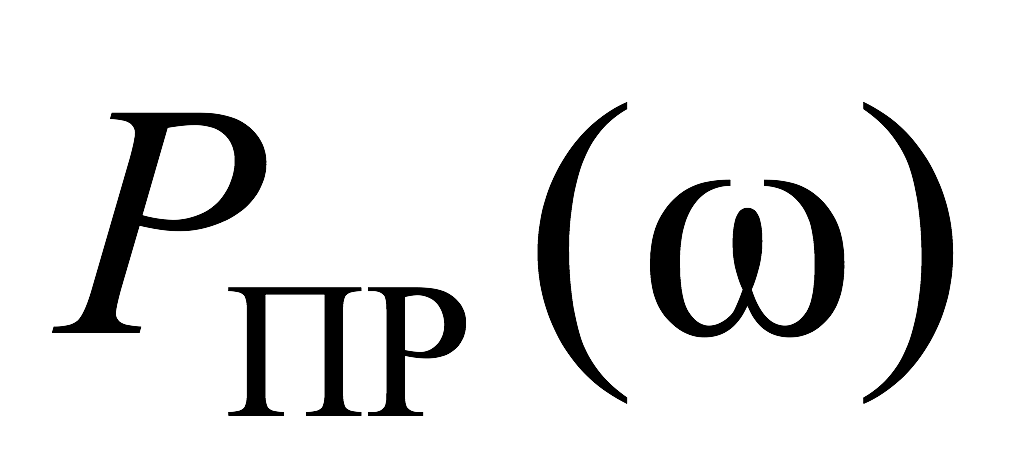
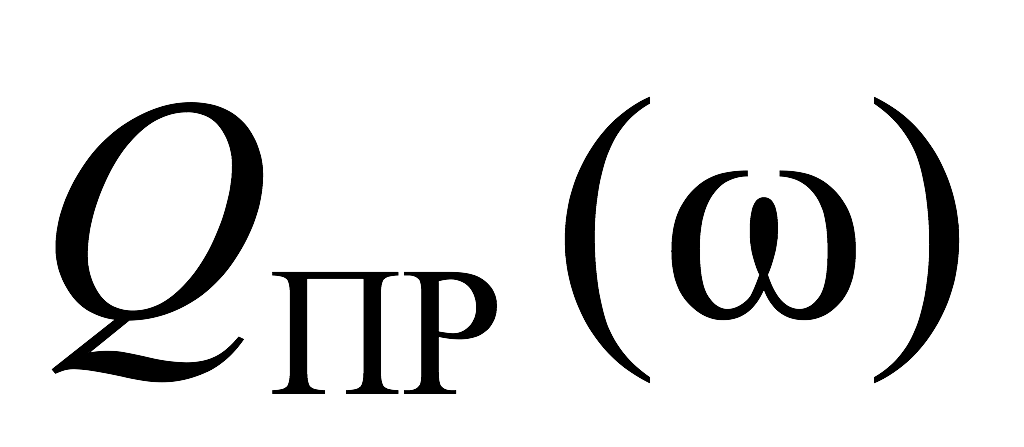
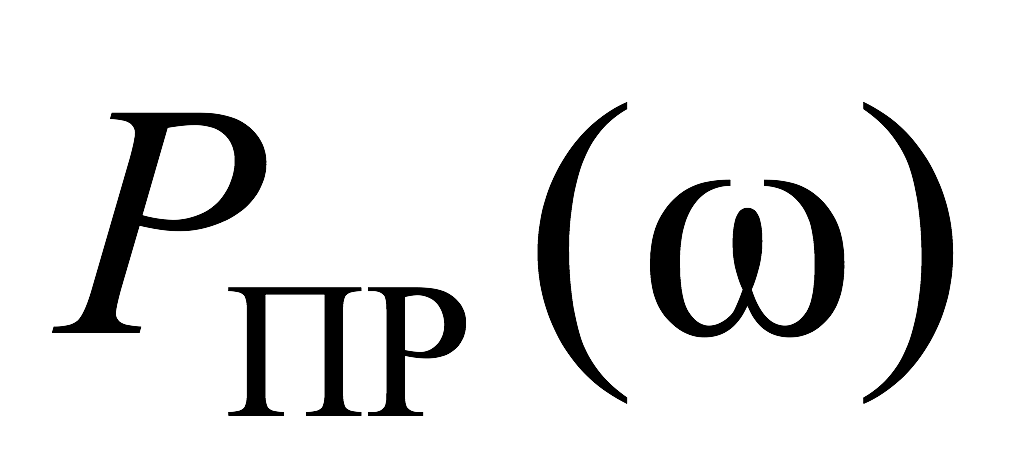
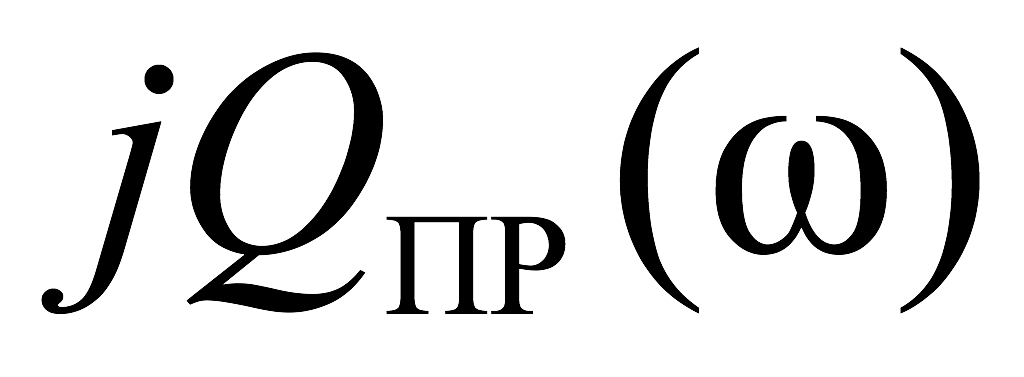
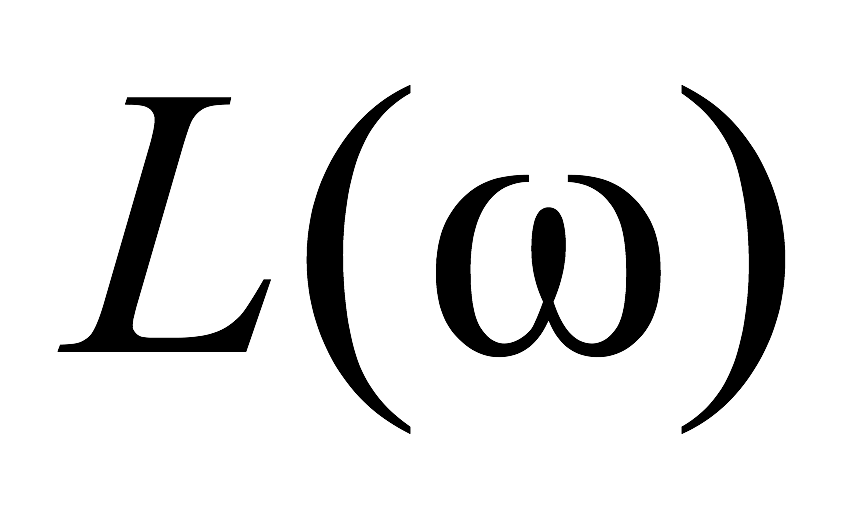
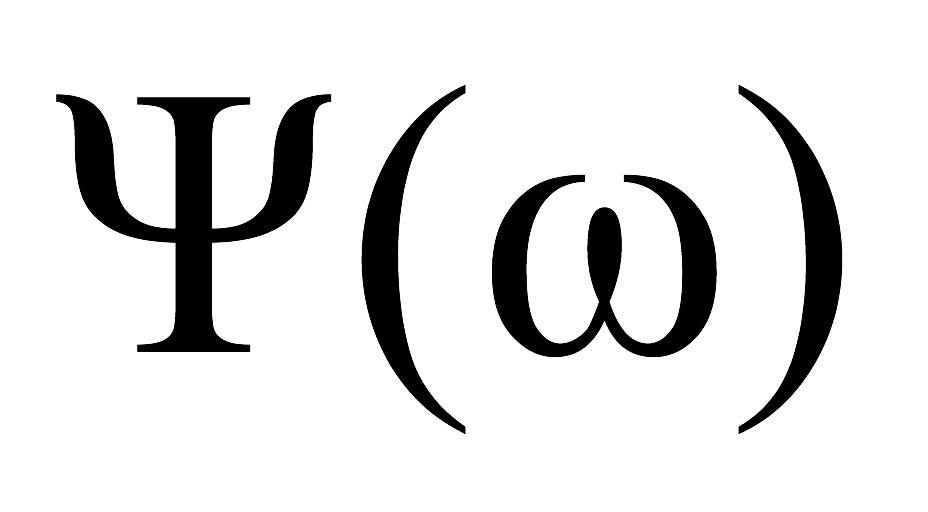
**П1.4. Получение выражения для ЛАЧХ преобразователя сигналов**

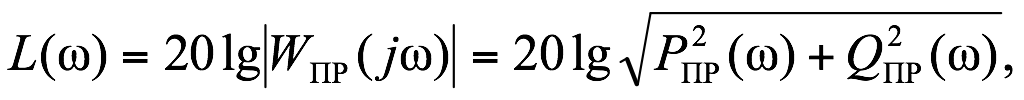
Передаточную функцию преобразователя  в общем случае можно представить в виде отношение двух многочленов, причем каждый из этих многочленов может быть записан в виде разложения по его собственным корням. Если корни многочленов действительные, то получим выражение:

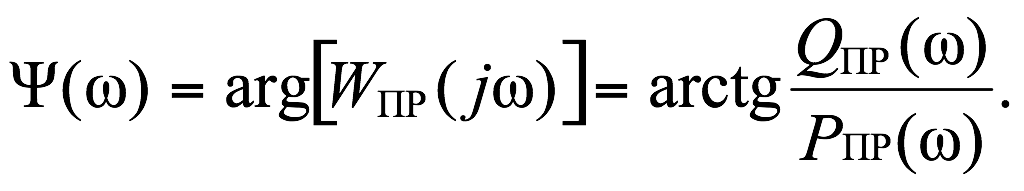
 (П1.3)

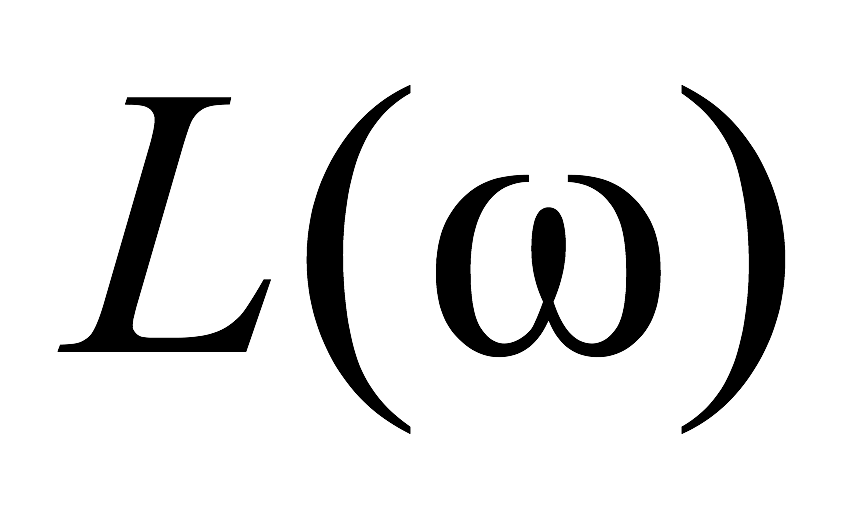
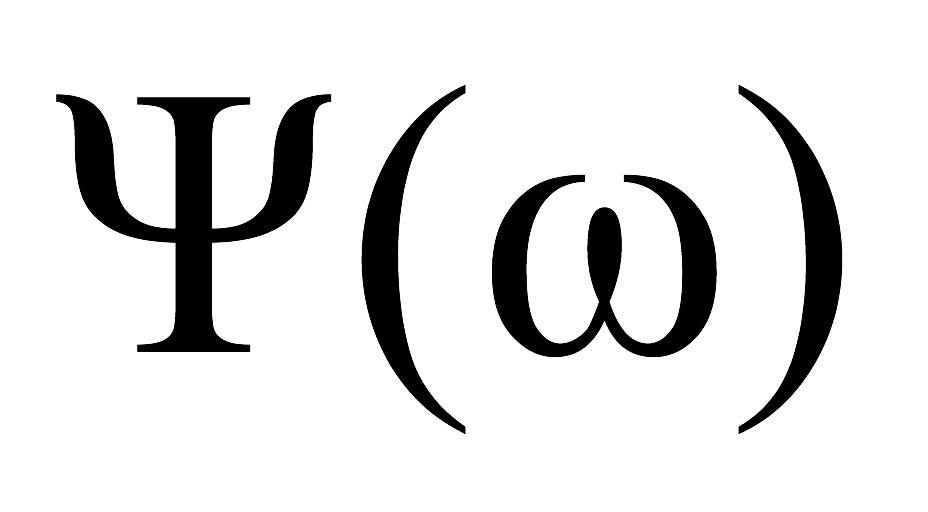
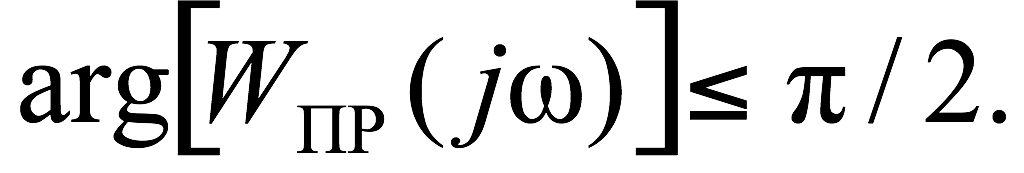
Заменив в (П1.3) оператор *p* оператором *j*ω, где , получают комплексную передаточную функцию преобразователя :



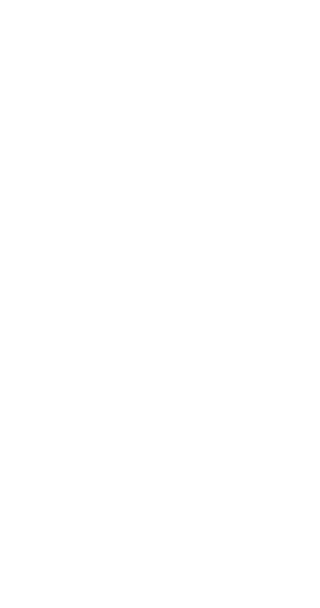
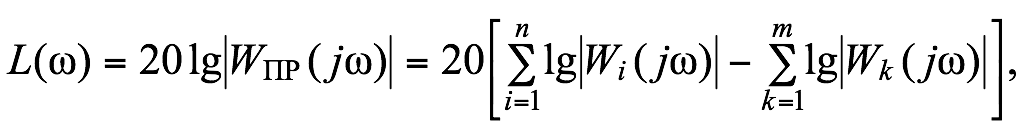
в которой выделяют действительную  и мнимую  части, Характеристику, построенную в координатах  и , принято называть амплитудно-фазовой характеристикой. Однако, на практике большее распространение получили логарифмическая амплитудно-частотная  и логарифмическая фазо-частотная  характеристики, полученные в соответствии с выражениями:

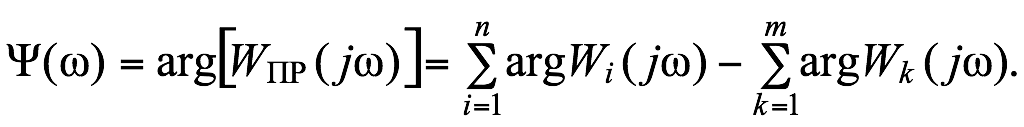
(П1.4)

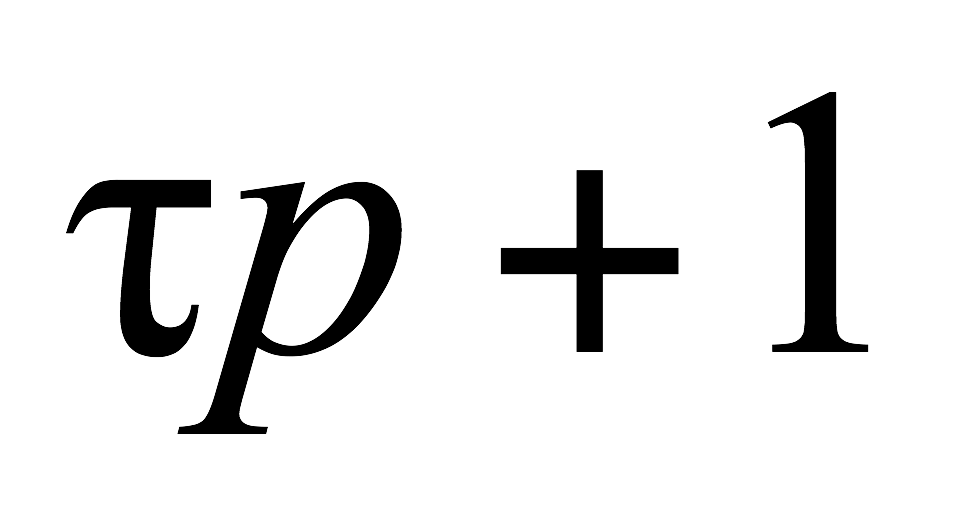
 (П1.5)

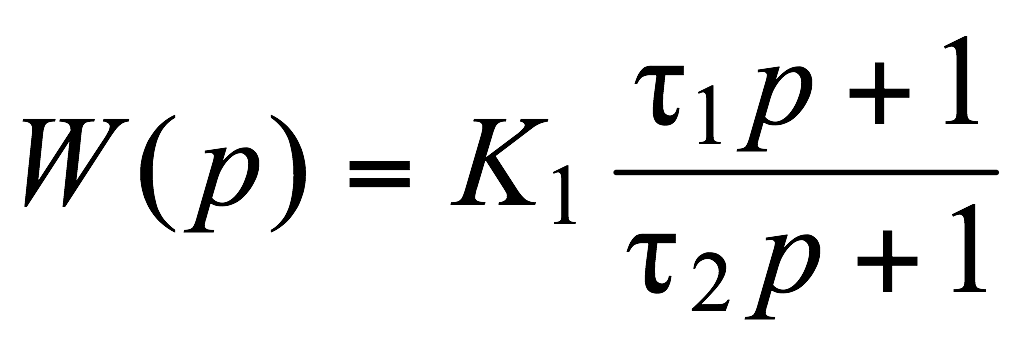
Величина  измеряется в децибелах [дБ], а  - в радианах [рад]. Заметим, что выражение (П1.5) справедливо в случае, если 

Используя свойства функций lg и arg, выражения (П1.4) и (П1.5) с учетом (П1.3) можно переписать в следующем виде:

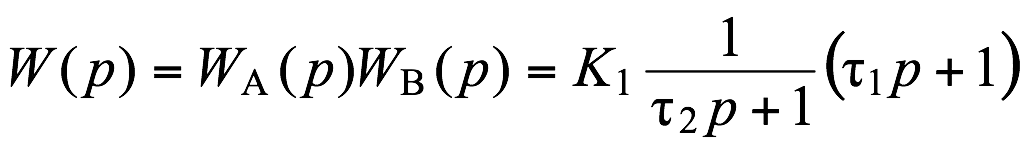
 (П1.6)

(П1.7)

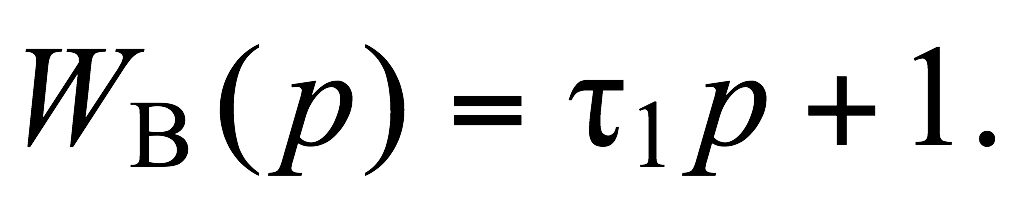
Из выражений (П1.6) и (П1.7) следует, что суммарные ЛАЧХ и ЛФЧХ могут быть построены простым алгебраическим суммированием характеристик отдельных членов вида .

В качестве примера построим ЛАЧХ и ЛФЧХ устройства с передаточной функцией вида .

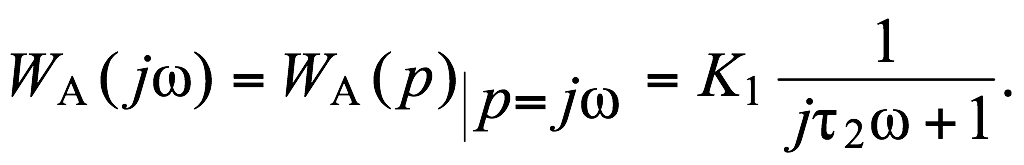
Представим передаточную функцию в виде произведения двух сомножителей (двух звеньев, соединенных последовательно (по каскадной схеме)):

.

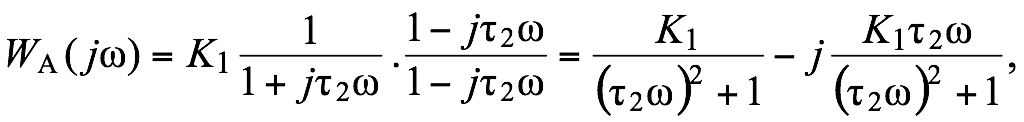
Найдём выражения ЛАЧХ и ЛФЧХ звеньев с передаточными функциями

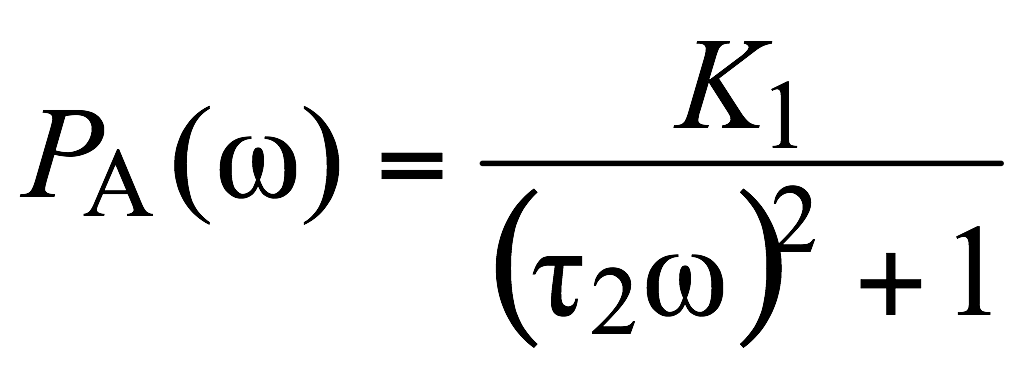
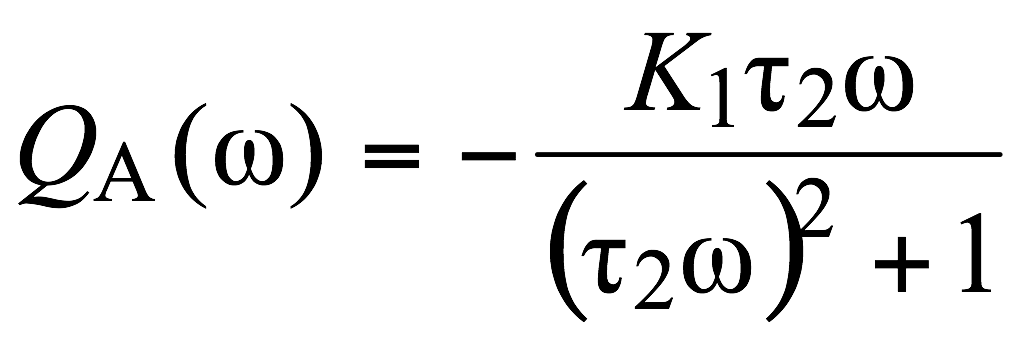
 и 

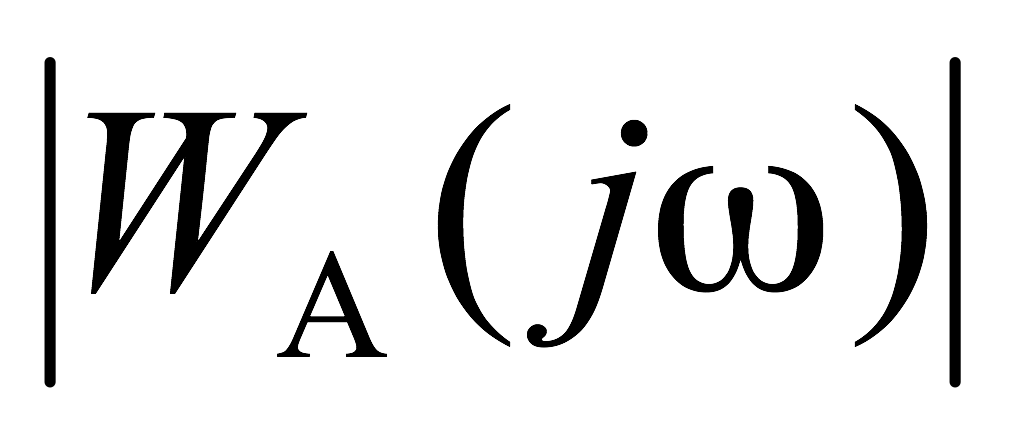
**Характеристики звена с передаточной функцией** .   
Комплексный коэффициент передачи этого звена

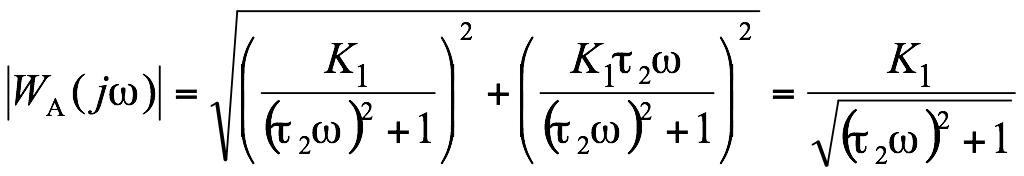


Чтобы избавиться от мнимой единицы в знаменателе, домножим числитель и знаменатель данного выражения на комплексно-сопряженное знаменателю число,

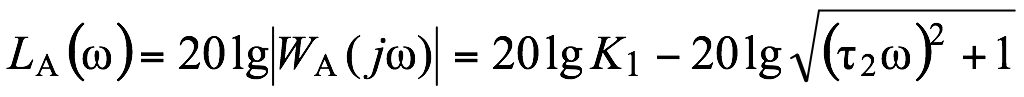


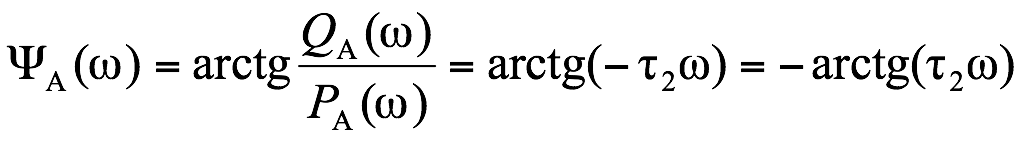
где и .

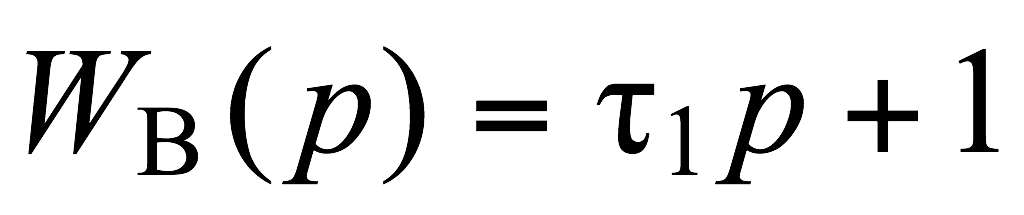
Модуль передаточной функции  равен:

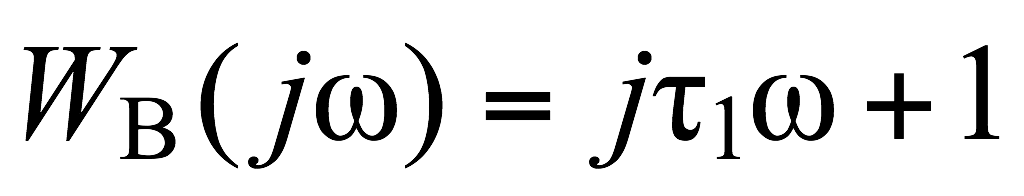
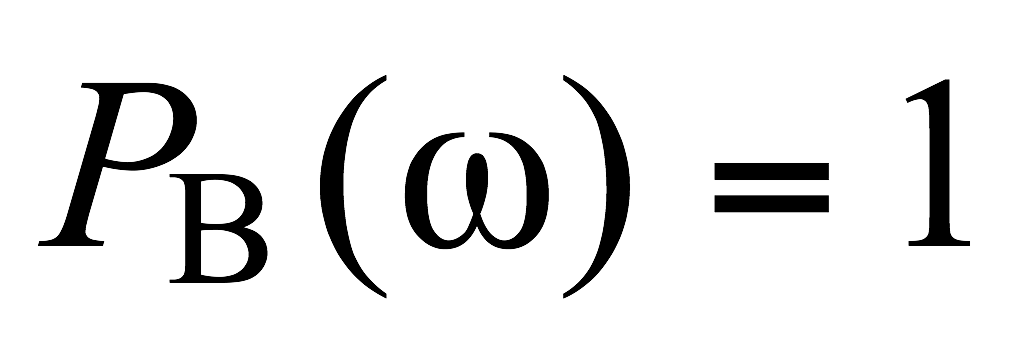
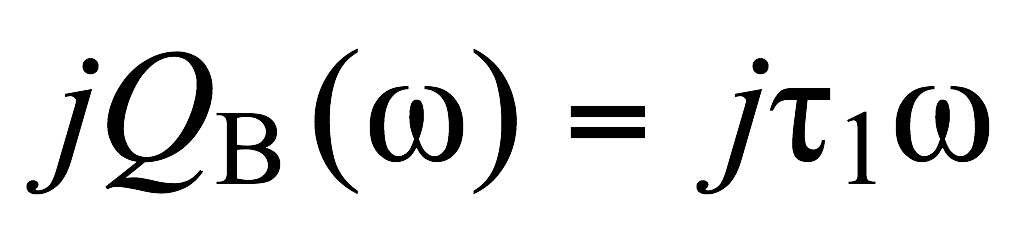
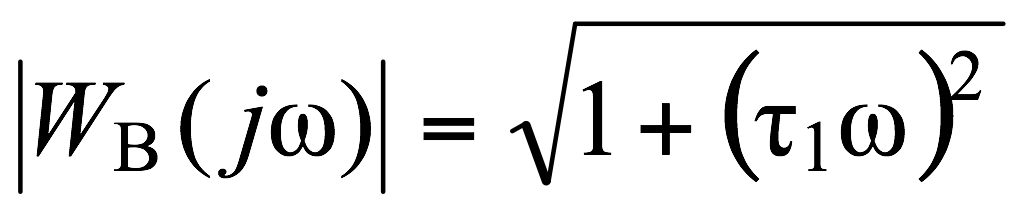


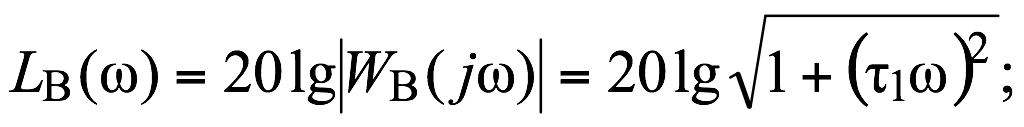
ЛАЧХ и ФЧХ звена:

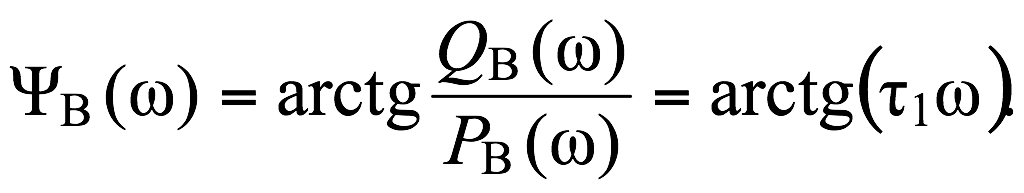
**;**

****

**Характеристики звена с передаточной функцией** . По аналогии с выше выполненными преобразованиями, запишем выражения для второго звена:

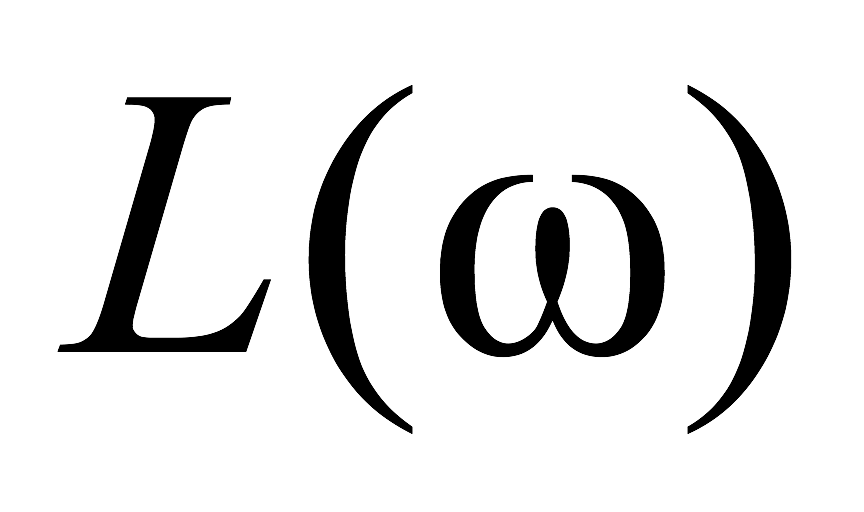
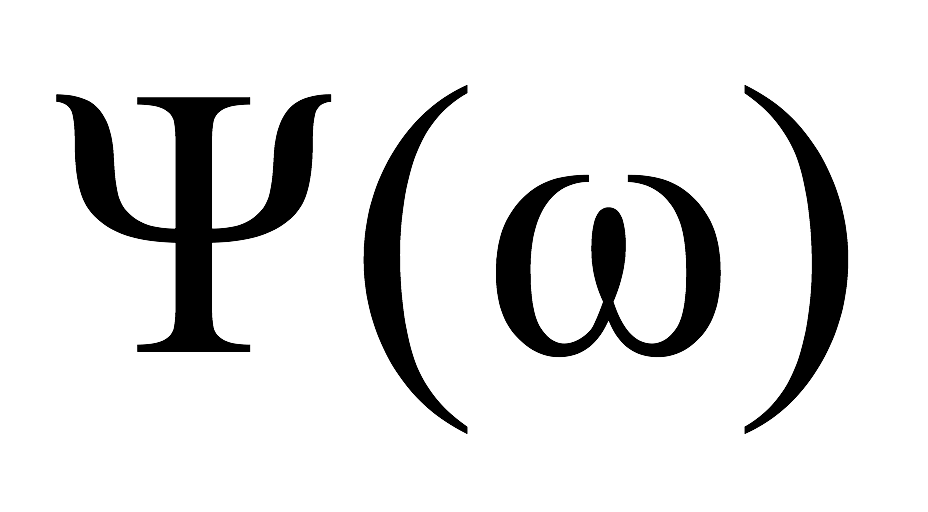
*, ***; ;** ****;**

**

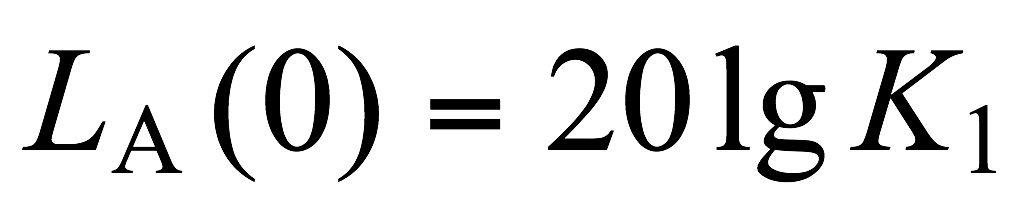
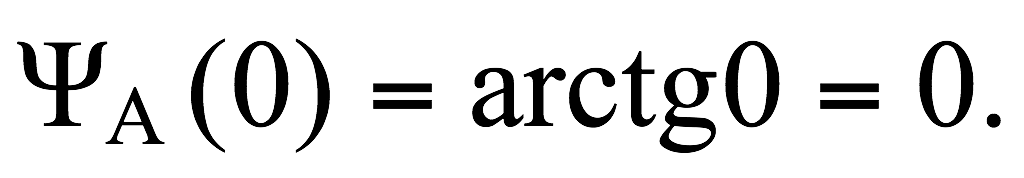
**

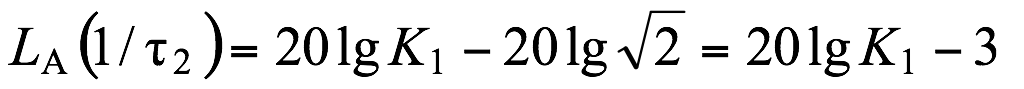
**П1.5. Расчёт и построение ЛАЧХ и ЛФЧХ устройства**

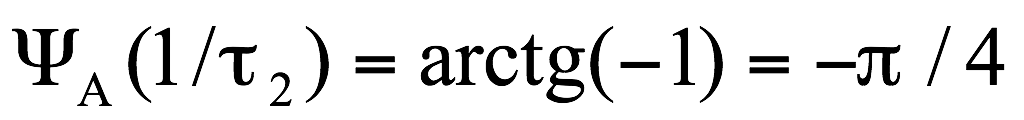
Полученные выражения позволяют построить ЛАЧХ и ЛФЧХ как звеньев, так и устройства в целом. Однако, на практике, вместо реальных ЛАЧХ и ЛФЧХ, строят так называемые диаграммы Боде являющиеся кусочно-линейной аппроксимацией этих характеристик.

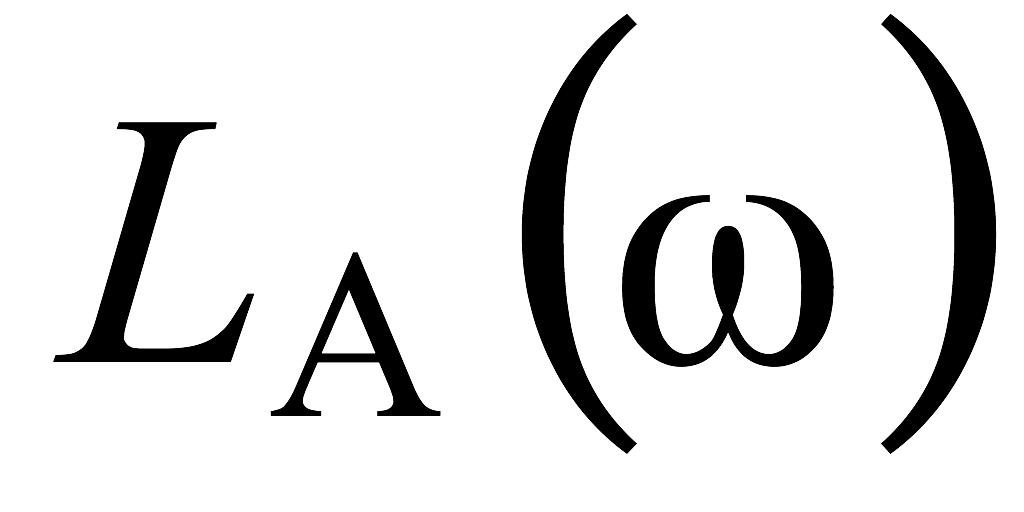
Для построения диаграмм Боде вычислим значения  и  звеньев для нескольких характерных точек.

***Передаточная функция ***.

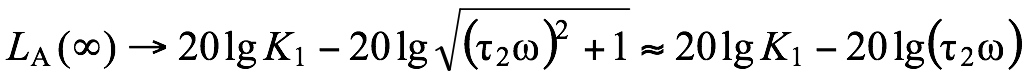
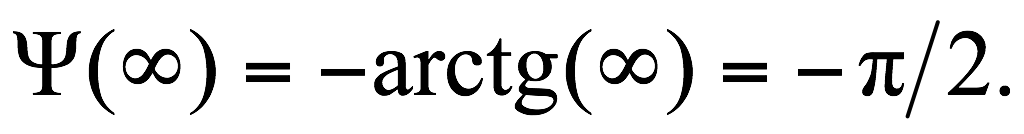
При ω → 0 имеем:  и 

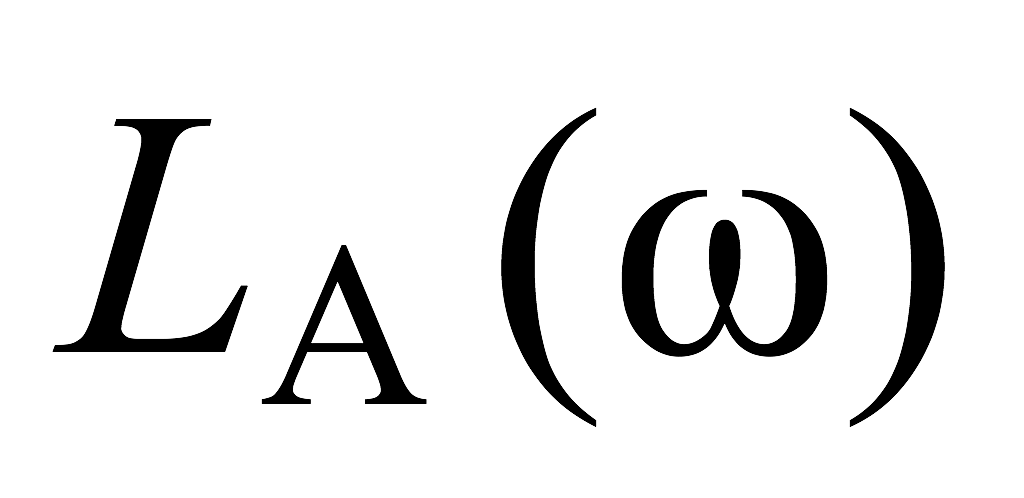
При ω = 1/τ2, дБ и

рад.

Из выражения для  следует, что частота ω = 1/τ2 является верхней границей полосы пропускания устройства. Напомним, что полосой пропускания усилителя называют диапазон частот, в котором его коэффициент усиления падает не ниже 0,707 своего максимального значения, то есть уменьшается не более чем на 3дБ.

При ω → ∞ имеем

и **

Из полученного для  выражения следует, что частотная характеристика линейно падает на 20 дБ при изменении частоты в 10 раз. Поэтому при построении ЛАЧХ и ФЧХ удобно использовать логарифмический масштаб частоты (рис. П1.4).

Отметим, что на частоте ω = 1/τ2 коэффициент передачи устройства достигает значения, равного 0,707*K*0, а фазовый сдвиг – значения -π/4, равного половине максимального фазового сдвига (-π/2).

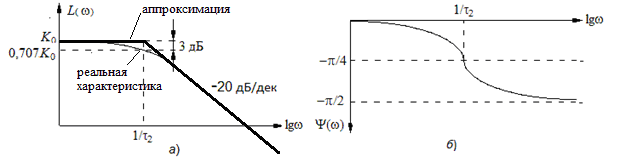
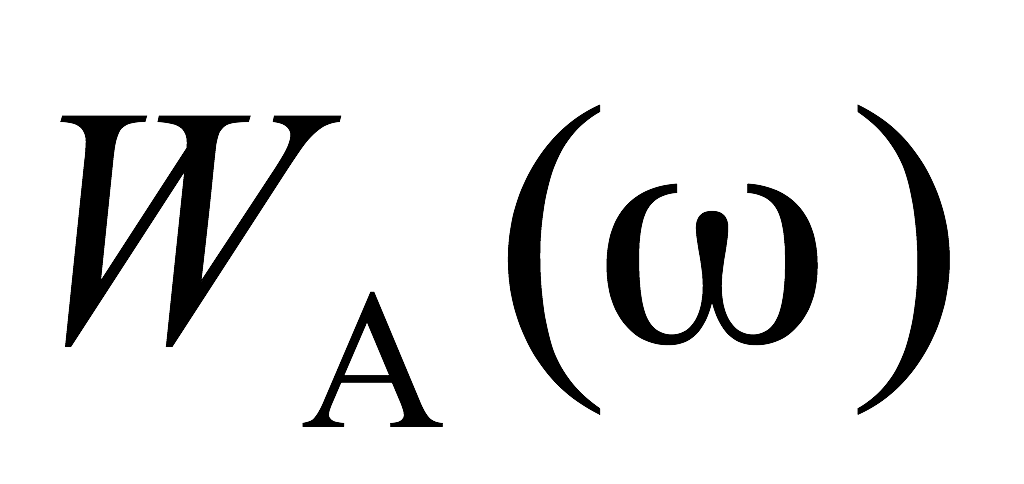
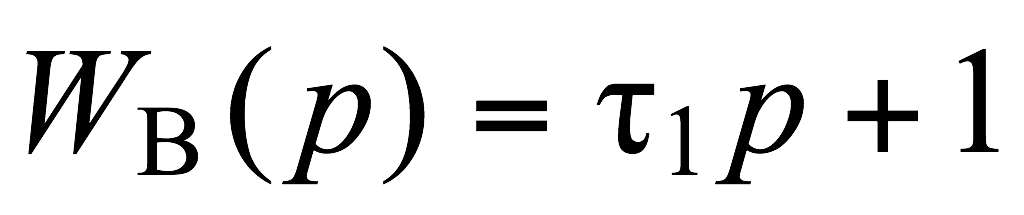
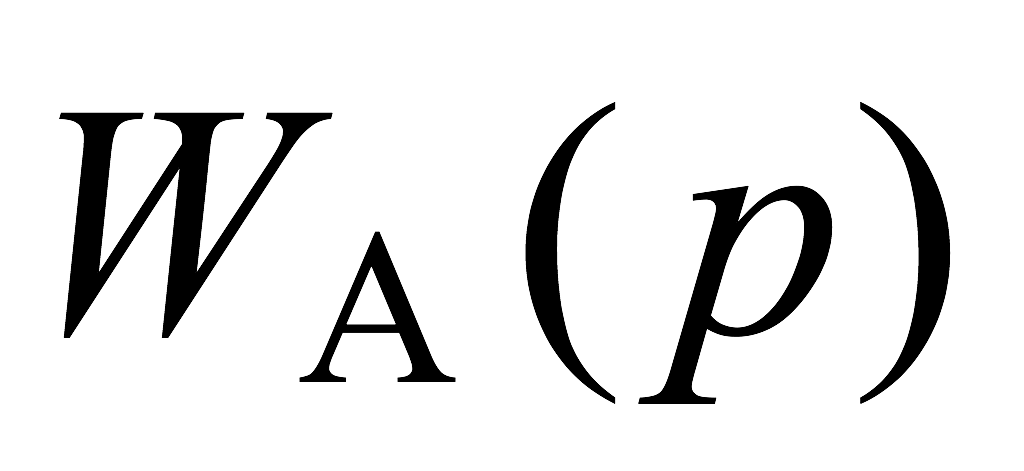
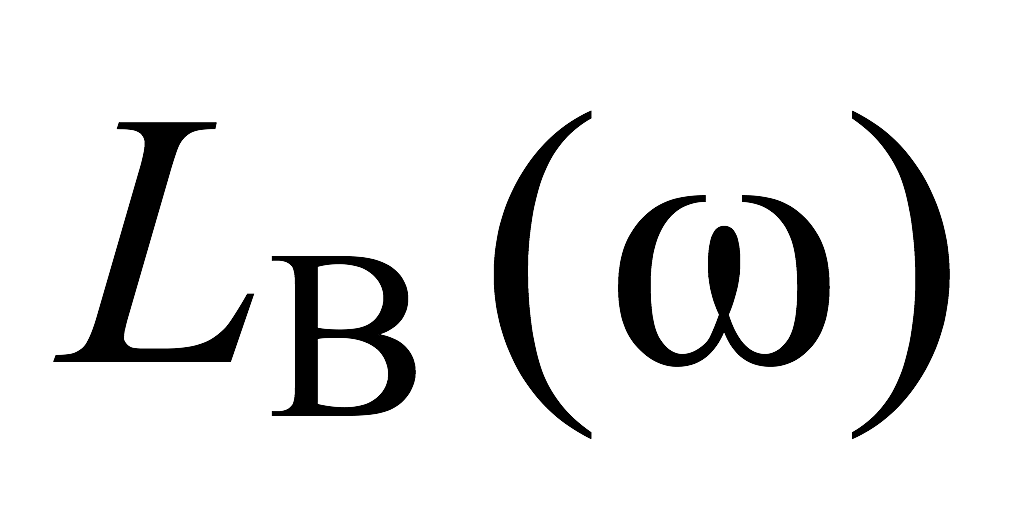
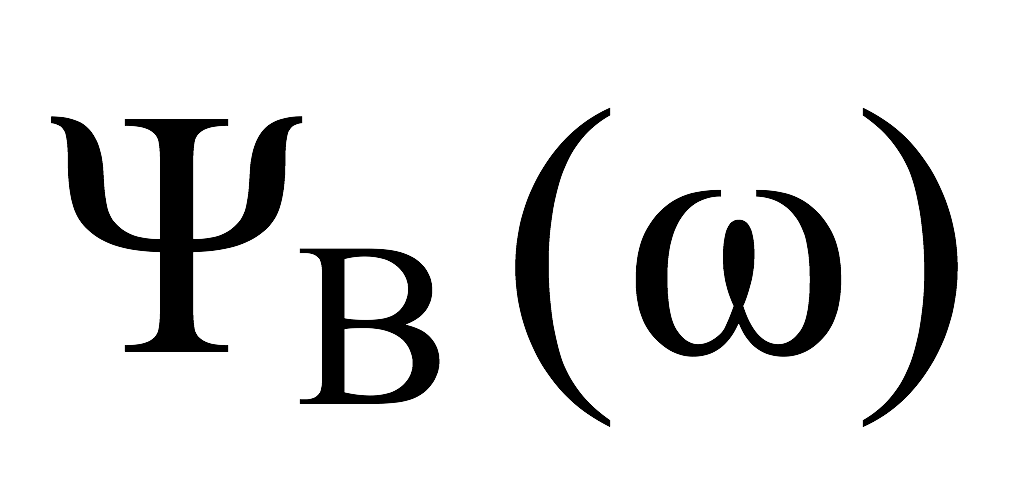
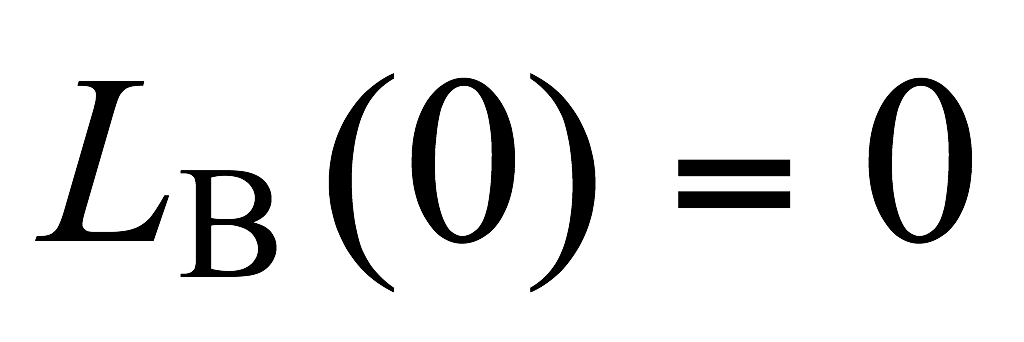
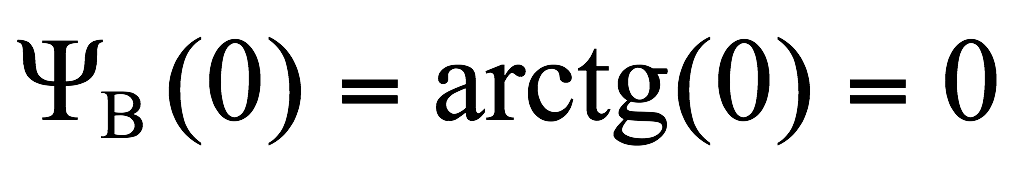
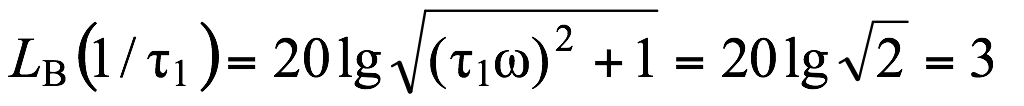
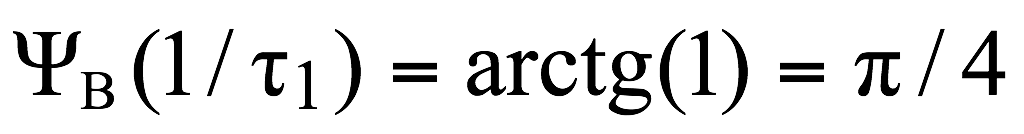


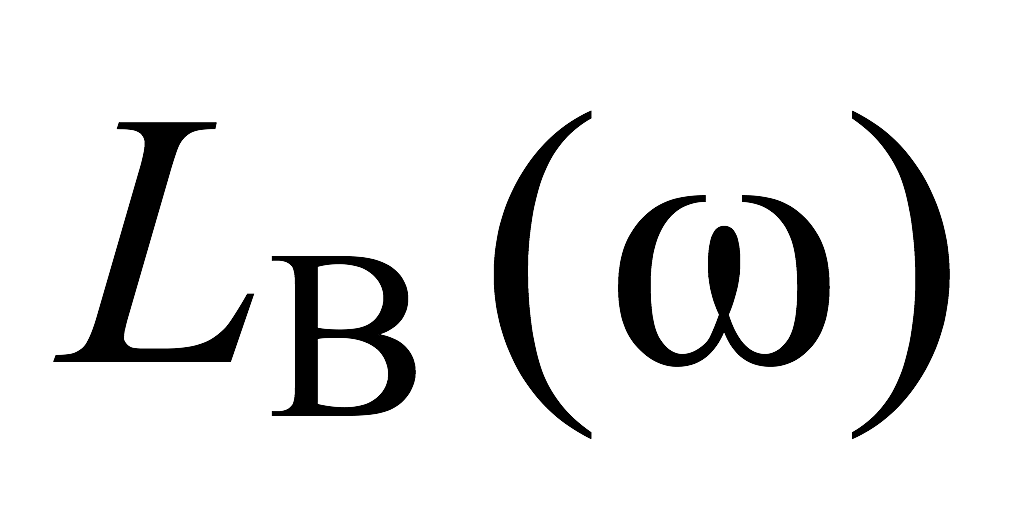
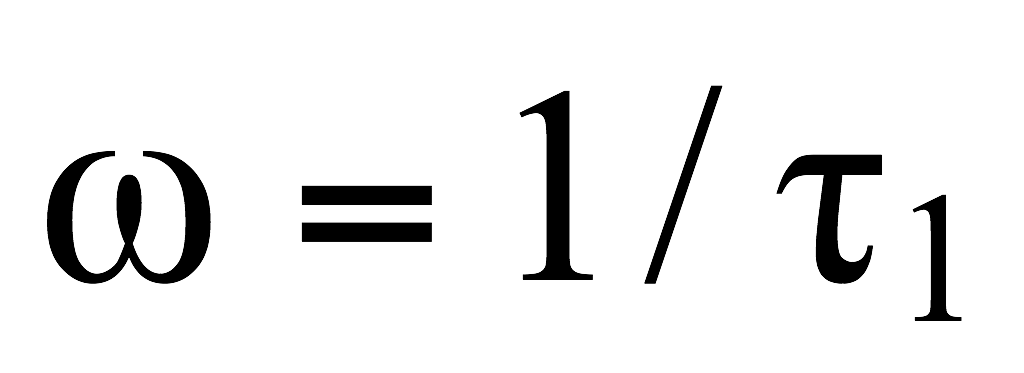
Рис. П1.4. ЛАЧХ (*а*) и ЛФЧХ (*б*) звена с функцией 

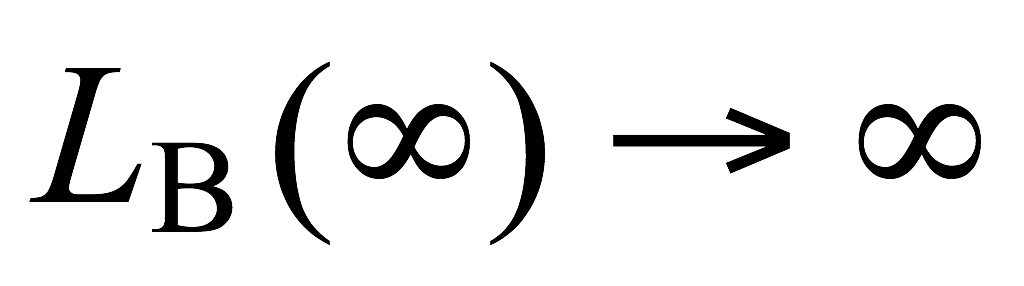
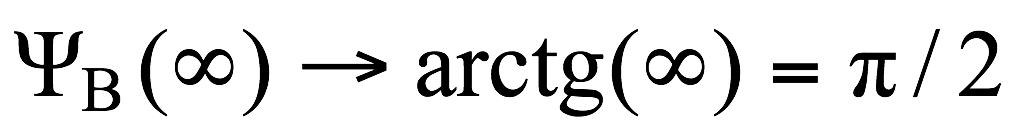
***Передаточная функция *.** По аналогии с выше выполненными для звена  преобразованиями, найдем значения  и  в тех же характерных точках:

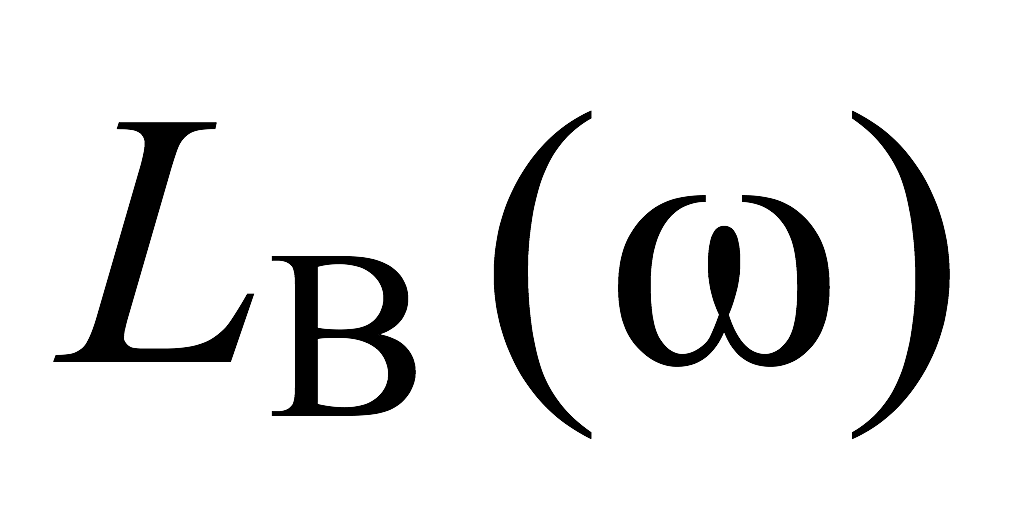
при ω → 0 имеем:  и ;.

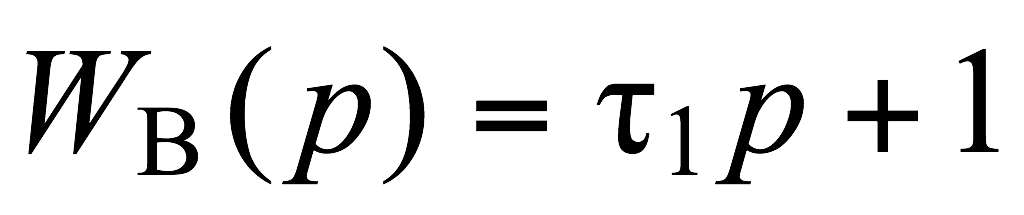
при ω = 1/τ1, дБ и

рад.

Из выражения  следует, что реальная частотная характеристика на частоте  как и в предыдущем случае отличается от асимптотической на 3 дБ.

При ω → ∞,  и .

Анализ зависимости  показывает, что частотная характеристика второго звена линейно увеличивается на 20 дБ при изменении частоты в 10 раз¸ а фазовый сдвиг достигает своего максимального значения, равного π/2 при ω → ∞.

Частотные характеристики звена  представлены на рис. П1.5.

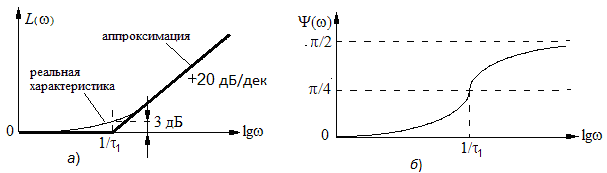
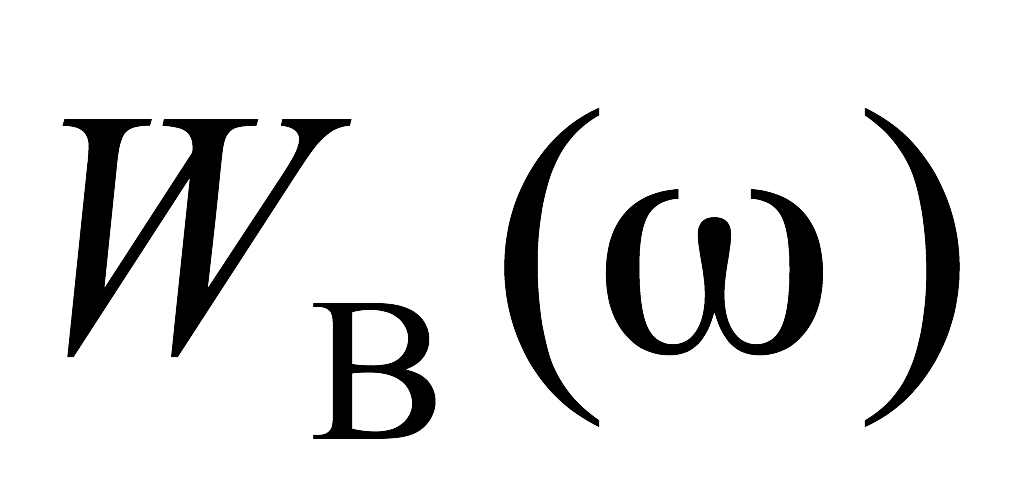


Рис.П1.5. ЛАЧХ (а) и ЛФЧХ (б) звена с функцией 

Из сопоставительного анализа передаточных функций и характеристик звеньев преобразователя сигналов можно сделать несколько практически важных выводов:

1. Если передаточная функция устройства содержит множитель τ*р* + 1, то соответствующая ЛАЧХ включает асимптоту с наклоном +20 дБ/дек, начинающуюся на частоте ω = 1/τ, а ЛФЧХ на этой частоте имеет сдвиг, равный π/4.

2. Если передаточная функция устройства содержит множитель 1/(τ*р* + 1), то соответствующая ЛАЧХ включает асимптоту с наклоном -20 дБ/дек, начинающуюся на частоте ω = 1/τ, а ЛФЧХ на этой частоте имеет сдвиг, равный -π/4.

3. Максимальный фазовый сдвиг звена вида τ*р* + 1 или 1/(τ*р* + 1) равен ±π/2.

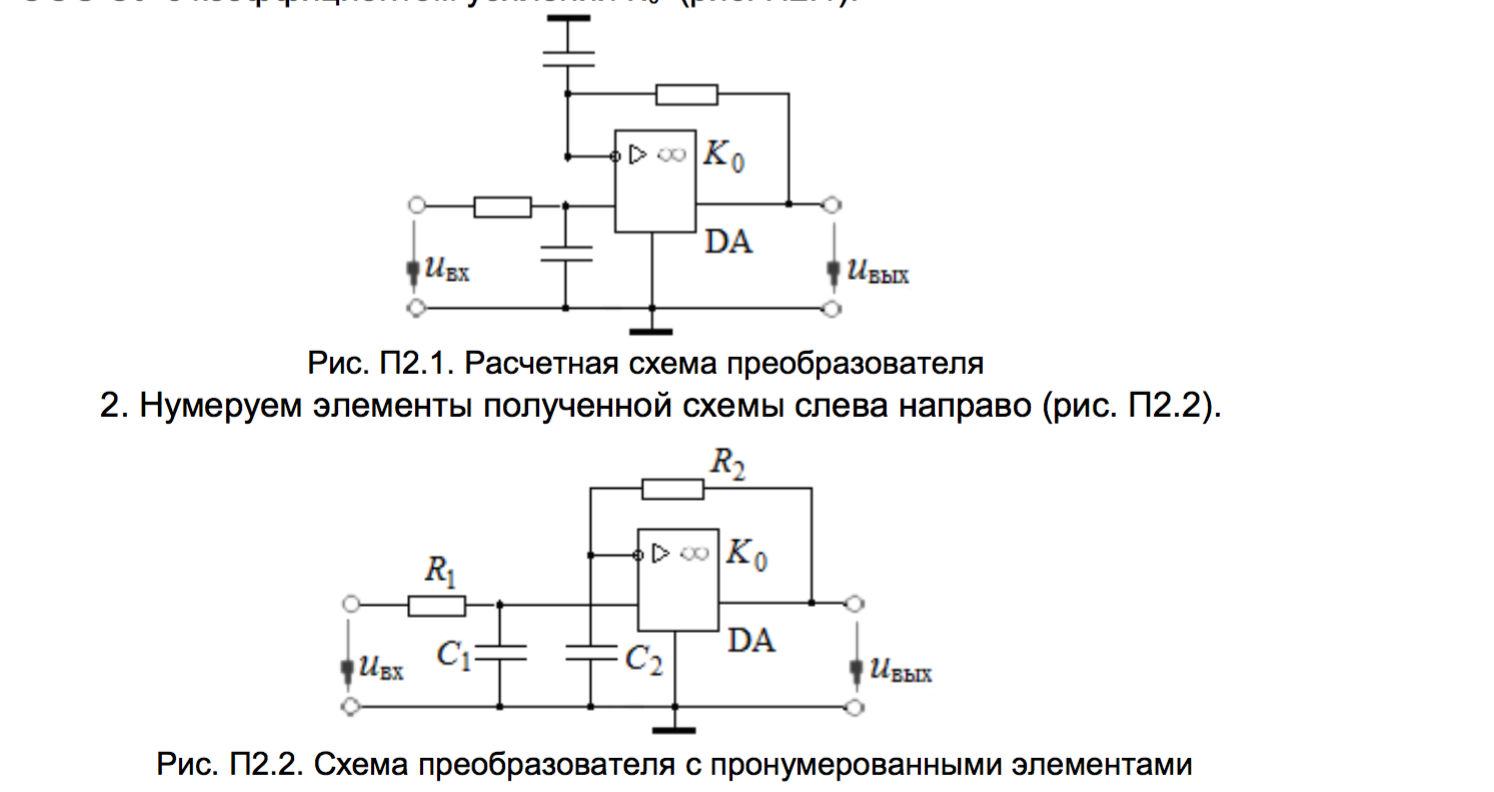
4. Результирующие ЛАЧХ и ЛФЧХ могут быть построены суммированием соответствующих характеристик отдельных звеньев.

***Приложение* 2**

**П2. Построения ЛАЧХ преобразователя сигналов на ОУ**

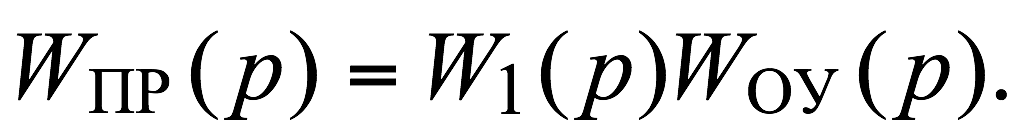
**(*пример выполнения задания* КР7*-*1)**

Построим ЛАЧХ преобразователя со следующими параметрами: последовательное звено коррекции - *W*1,звено ООС - *W*1, тип ОУ – вар.2, параметры звеньев - вар. 1. С этой целью:

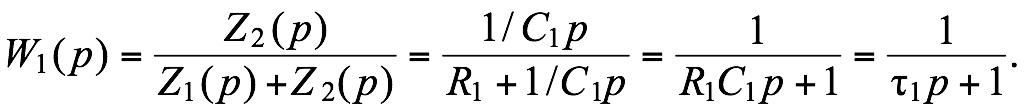
1. Вычерчиваем расчетную схему устройства, выбирая из таблицы 7.2 звено с передаточной функцией *W*1, которое включено как во входную цепь ОУ, так и в цепь ООС ОУ с коэффициентом усиления *К*0 (рис. П2.1).  
  
  
  
  
  
  
  
3. Из таблиц 7.3 и 7.4 выписываем параметры элементов и тип ОУ:

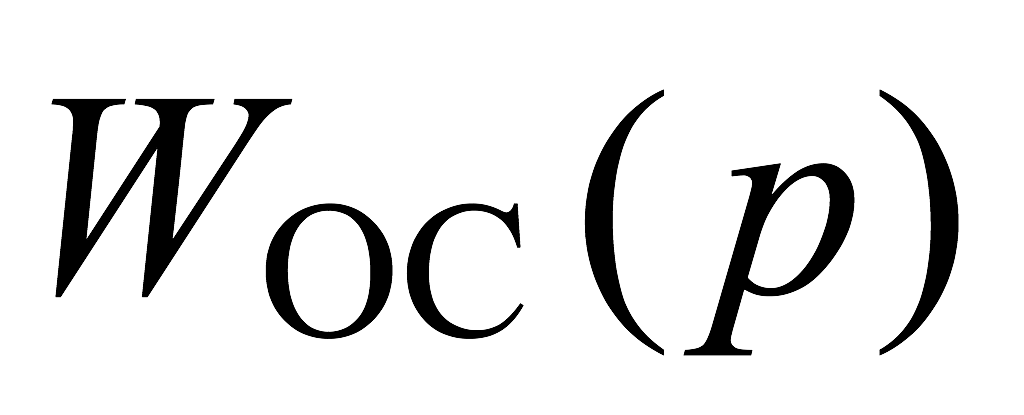
*R*1 = 3,3 кОм; *R*2 = 15 кОм; *С*1 = 4,7 нФ; *С*2 = 510 пФ; DA – 140УД1Б, *К*0 = 2000.

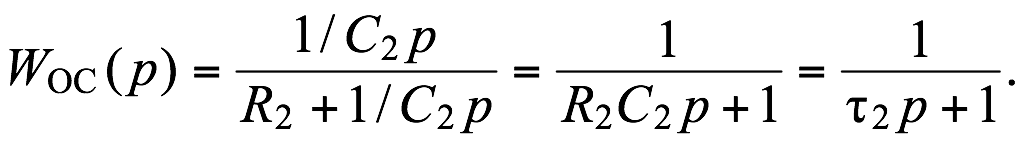
4. Записываем выражение для передаточной функции преобразователя.



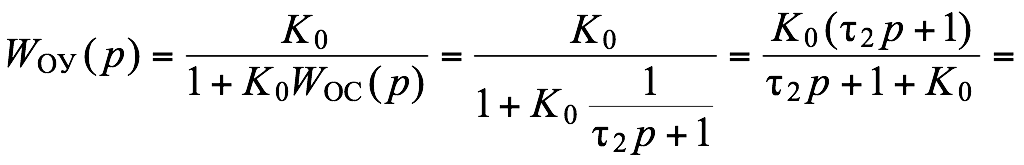
5. Определим передаточную функцию последовательного звена коррекции *W*1(*p*), воспользовавшись правилом делителя напряжения при операторных сопротивлениях элементов Z1(*p*) = *R*1, Z2(*p*) = 1/*C*1*p*:

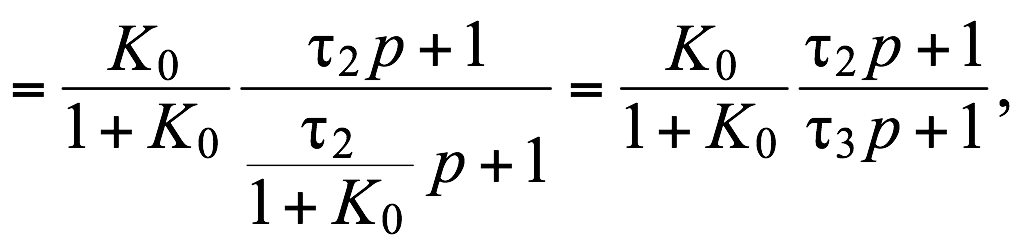
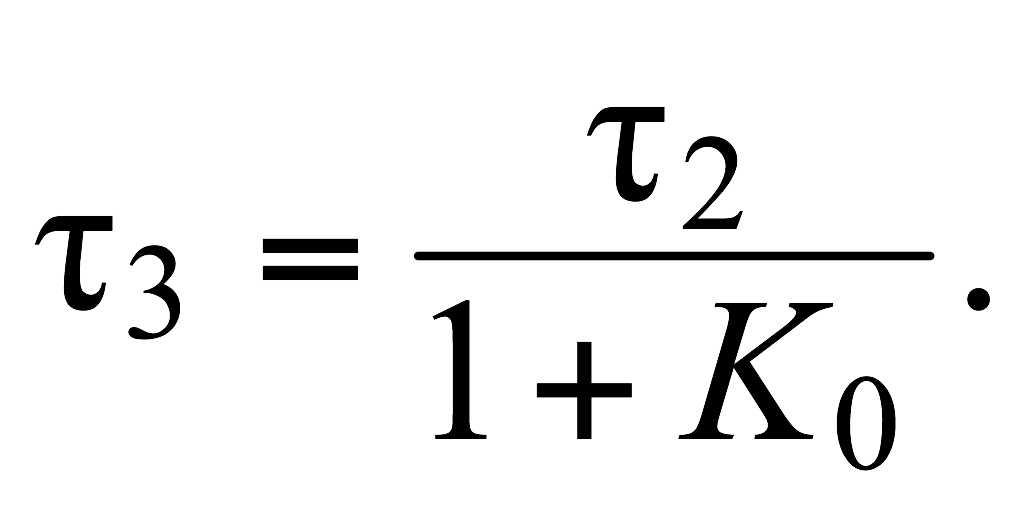


По аналогии, передаточная функция звена цепи ООС ОУ .равна:

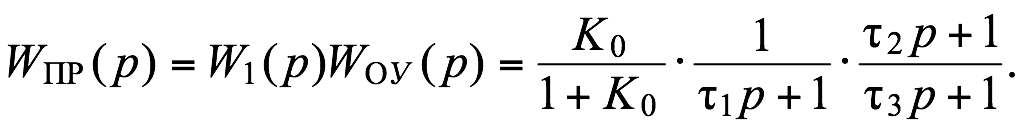


6. Передаточная функция ОУ с заданной цепью ООС

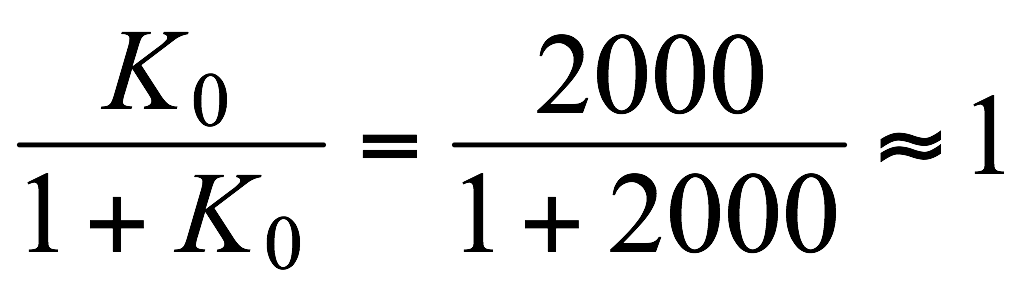
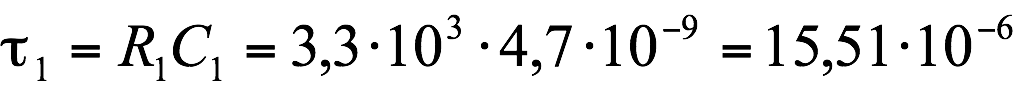


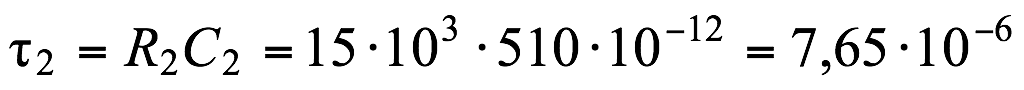
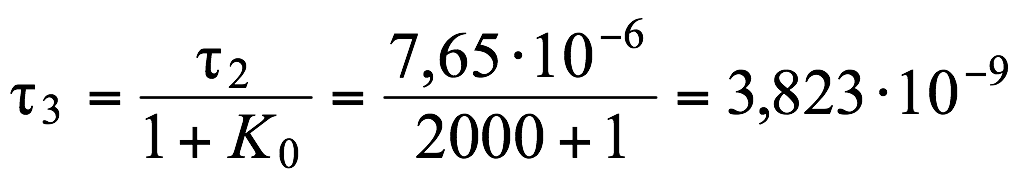
 где 

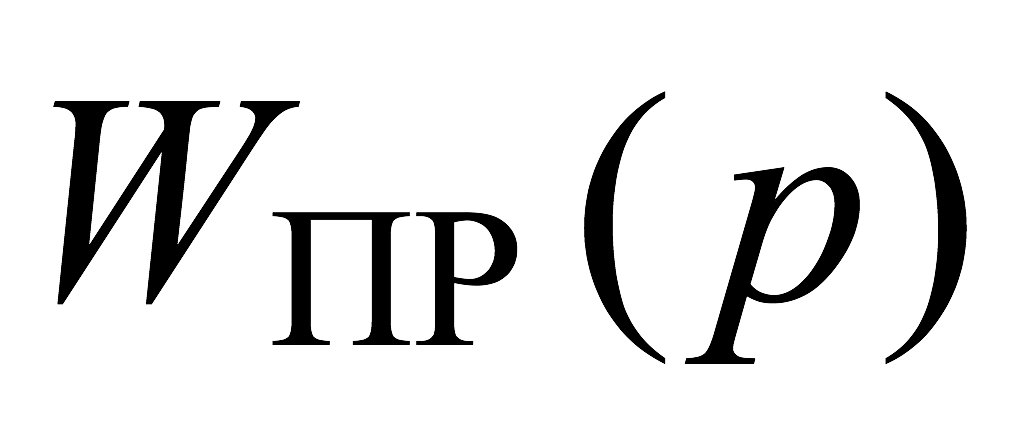
7. Передаточная функция преобразователя

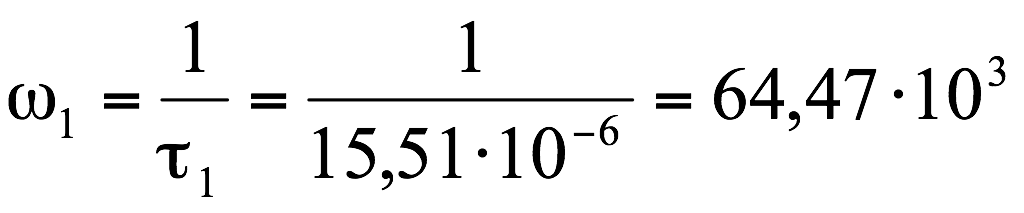
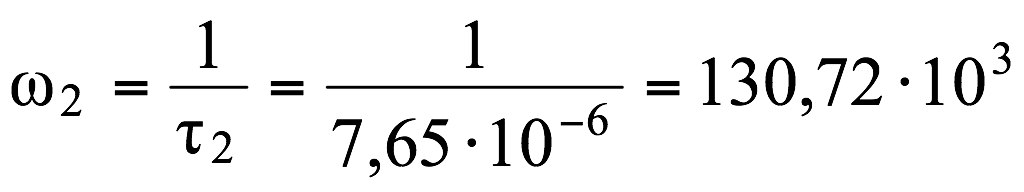


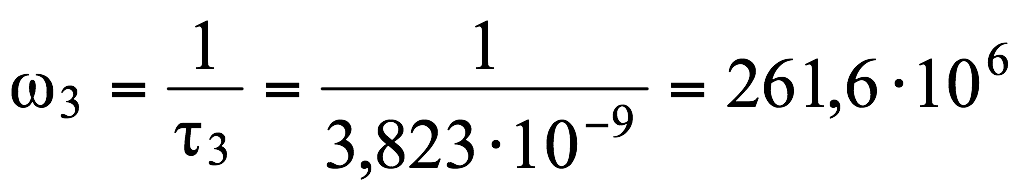
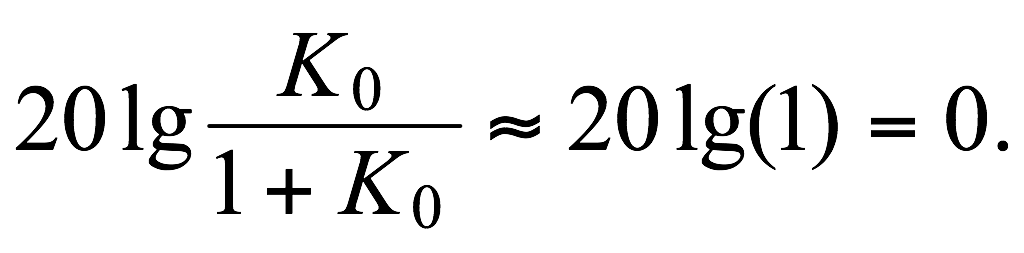
8. Вычислим коэффициенты, входящие в полученную передаточную функцию:

; с;

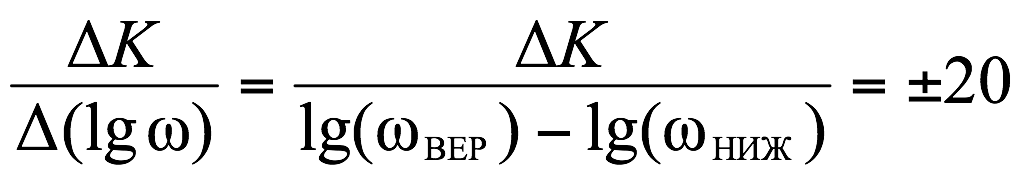
 с;  с.

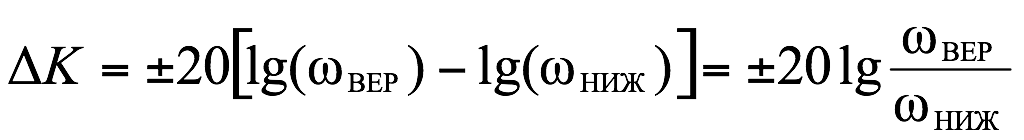
9. Частоты сопряжения ЛАЧХ для полученной функции и значение исходного коэффициента передачи:

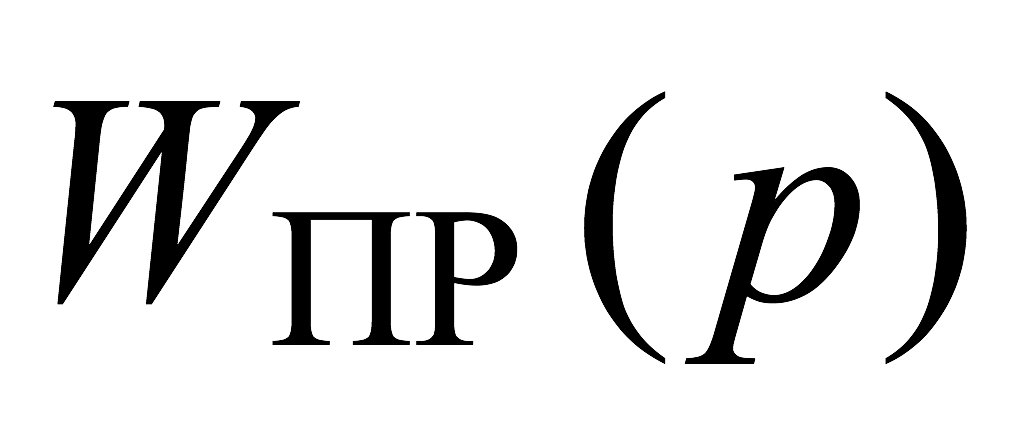
 рад/c;  рад/c;

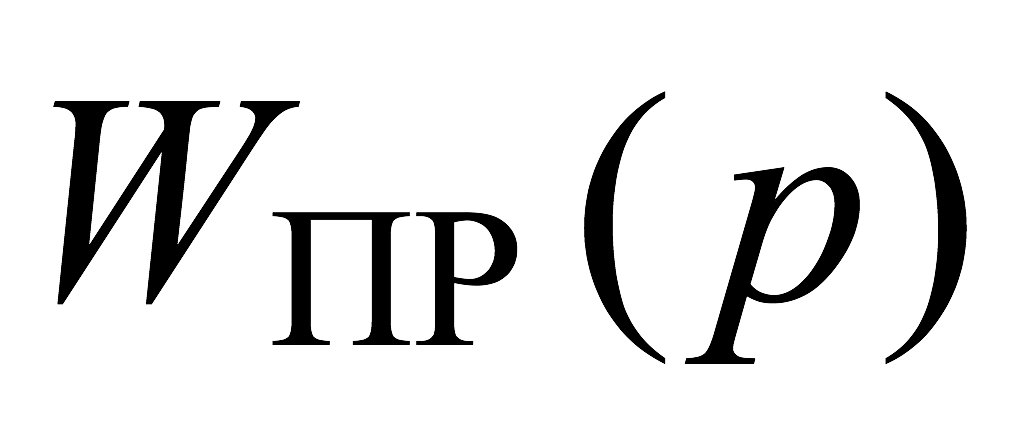
 рад/c; 

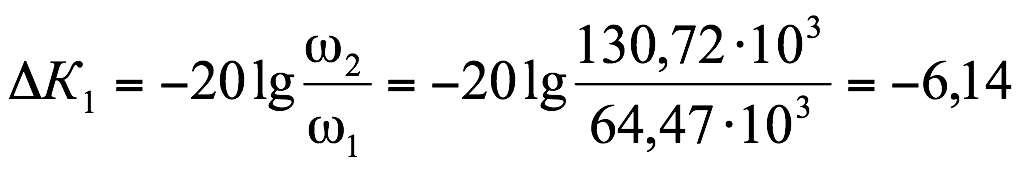
Изменение коэффициента передачи устройства Δ*К* в диапазоне действия отдельных звеньев можно определить из заданного наклона ЛАЧХ каждого звена.

 дБ/дек. Откуда

.

Знак перед логарифмом определяется расположением соответствующего сомножителя τ*iр* + 1 в выражении передаточной функции : если он находится в числителе, то берётся знак (+), если расположен в знаменателе, то ставится (−). Значения lg(ωвер) и lg(ωниж) находят в диапазоне каждого наклона (отрезка) ЛАЧХ.

Так, в диапазоне частот ω1…ω2 действует звено с постоянной времени τ1, расположенное в знаменателе функции преобразователя. Для этого диапазона

 дБ.

В диапазоне частот ω2….ω3 действует звено с постоянной времени τ1, расположенное в знаменателе, и звено с постоянной времени τ2, расположенное в числителе передаточной функции устройства. Поэтому суммарный наклон ЛАЧХ равен нулю.

После частоты ω3 действуют два звена, расположенные в знаменателе (τ1 и τ3) и одно звено, расположенное в числителе (τ2) передаточной функции. Поэтому после ω3 суммарный наклон ЛАЧХ равен –20 дБ/дек.

10. На рис. П2.3 представлена ЛАЧХ исследуемого устройства.

Полоса пропускания преобразователя составляет 0…ω1, в котором коэффициент передачи *К*пер = 1.

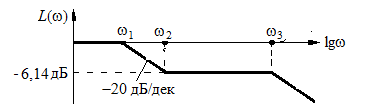
****

Рис.П2.3. ЛАЧХ преобразователя сигналов

**Выводы по заданию КР7-1**

11.Исследуемый преобразователь аналоговых сигналов фактически является фильтром нижних частот, обеспечивающий передачу сигналов в диапазоне частот 0…ω1, и ослабление сигналов на уровне -6,14 дБ в диапазоне частот ω2…ω3. После частоты ω3 ЛАЧХ имеет постоянный наклон -20 дБ/дек.

***Задание 2***

**Синтез комбинационного логического**

**устройства в заданном базисе логических элементов**

По заданным параметрам синтезировать схему комбинационного устройства в заданном базисе логических элементов.

Для этого согласно варианту (см. табл. 7.5 и табл. 7.6) необходимо:

2.1. По исходным данным составить таблицу истинности устройства.

2.2. Записать совершенную дизъюнктивную (СДНФ) и совершенную конъюнктивную (CКНФ) функции алгебры логики (ФАЛ), описывающие поведение устройства.

2.3. Минимизировать ФАЛ устройства.

2.4. Привести минимизированную ФАЛ к базису заданных логических элементов (см. табл. 7.7).

2.5. Синтезировать схему устройства в заданном базисе логических элементов.

2.6. Нарисовать временные диаграммы, поясняющие работу синтезированного устройства при подаче на его вход заданной последовательности проверочных входных кодов (см. табл. 7.8).

2.7. Сформулировать выводы по результатам выполненного задания.

П р и м е ч а н и я**.** 1. Основные теоретические положения, необходимые для выполнения задания 2, приведены в приложении 3.

2. В приложении 4 приведен пример выполнения задания 7.2.

**Варианты задания 2 курсовой работы КР7**.

Таблица 7.5. Варианты задания 7.2

|  |  |  |  |
| --- | --- | --- | --- |
| № п.п | Номер последовательности конституент единицы, описывающей ФАЛ устройства  (см. табл.7.6) | Базис логических элементов  (см. табл. 7.7) | Последовательность проверочных входных кодов  (см. табл.7.8) |
| 38 | 56 | 2 | 7 |

Таблица 7.6. Последовательности конституент единицы

|  |  |
| --- | --- |
| № п.п | Исходная последовательность конституент единицы |
| 56 | 1, 2, 3, 10, 11, 12, 14 |

Таблица 7.7. Базис логических элементов.

|  |  |
| --- | --- |
| № п.п | Тип логического элемента |
| 2 | 2ИЛИ-НЕ |

Таблица 7.8. Последовательности проверочных кодов

|  |  |
| --- | --- |
| № п.п | Последовательность кодов |
| 7 | 12, 3, 7, 11, 14, 6, 9, 13, 8 |

***Приложение 3***

**П3. Анализ и синтез комбинационных устройств в заданном**

**базисе логических элементов (*см. зад.* КР7*-*2)**

**П3.1. Основные теоретические положения**

***Комбинационными*** устройствами или автоматами без памяти называют логические устройства, выходной сигнал которых однозначно определяется только действующей в настоящий момент комбинацией входных переменных и не зависит от значений переменных, действовавших на входе в предыдущие моменты времени.

Наиболее часто для описания алгоритма функционирования комбинационных логических устройств используют таблицы истинности или функции алгебры логики.

Таблица, содержащая все возможные комбинации входных переменных и соответствующие им значения выходных переменных, называется ***таблицей истинности*** или ***комбинационной таблицей***. Для устройства, имеющего *п* входов и *m* выходов, таблица истинности содержит 2*n* строк и *n + m* столбцов.

Зависимость выходных переменных *F*(*X*), выраженная через совокупность входных переменных *Х*(*n*−1)….*Х*0 с помощью операций алгебры логики, носит название ***функции алгебры логики*** (ФАЛ).

Логическое произведение входных переменных произвольной строки таблицы истинности, для которой ФАЛ равна единице, называют ***конституентой единицы***. Так как выходной сигнал комбинационного логического устройства может принимать только два значения («лог. 0» или «лог. 1»), то задать алгоритм устройства можно перечислением конституент единицы.

|  |
| --- |
| Рассмотрим составление таблицы истинности на примере полностью определенной ФАЛ трех переменных, принимающей значения «лог. 1» в случае, если хотя бы две входных переменных равны «лог. 1». Данная таблица содержит 8 (+1 для обозначения переменных) строк и 4 столбца, в трех из которых записаны все возможные комбинации входных кодов *X*2*X*1*X*0, а в четвертом − значения выходного сигнала *F*(*Х*).  Данная полностью определенная функция определяется четырьмя конституентами единицы. Эти конституенты можно перечислить в любом коде, например в двоичном (011, 101, 110, 111), или десятичном (3, 5, 6, 7).  При этом заданный список конституент единицы фактически определяет алгоритм работы устройства. Можно также задать полностью определенную ФАЛ перечислением строк, в которых произведение входных кодов равно нулю (***перечислением конституент нуля***). |

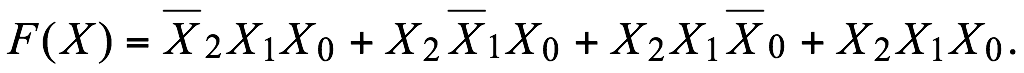
Рассмотрим использование таблицы истинности для получения ФАЛ логического устройства.

**П3.2. Получение совершенной дизъюнктивной (CДНФ) и совершенной конъюнктивной (СКНФ) нормальных форм записи ФАЛ**

***Совершенной дизъюнктивной нормальной формой*** записи ФАЛ называют логическую сумму (операция ИЛИ) логических произведений (операция И) входных переменных, в каждое из которых аргумент или его отрицание входят один раз. СДНФ легко записывается на основе таблицы истинности с использованием следующего алгоритма:

* для каждого набора переменных, на котором ФАЛ равна единице (для каждой конституенты единицы) записывают логическое произведение входных переменных, причем переменные, равные нулю, записывают с инверсией;
* логически суммируют полученные произведения.

**Пример П3.1**. Записать СДНФ для ФАЛ, заданной таблицей истинности,



Фактически СДНФ это логическая сумма конституент единицы, заданной ФАЛ.

***Совершенной конъюнктивной нормальной формой*** записи ФАЛ называют логическое произведение (операция И) элементарных логических сумм (операция ИЛИ) входных переменных, в каждую из которых аргумент или его инверсия входят один раз. СКНФ легко записывается на основе таблицы истинности с использованием следующего алгоритма:

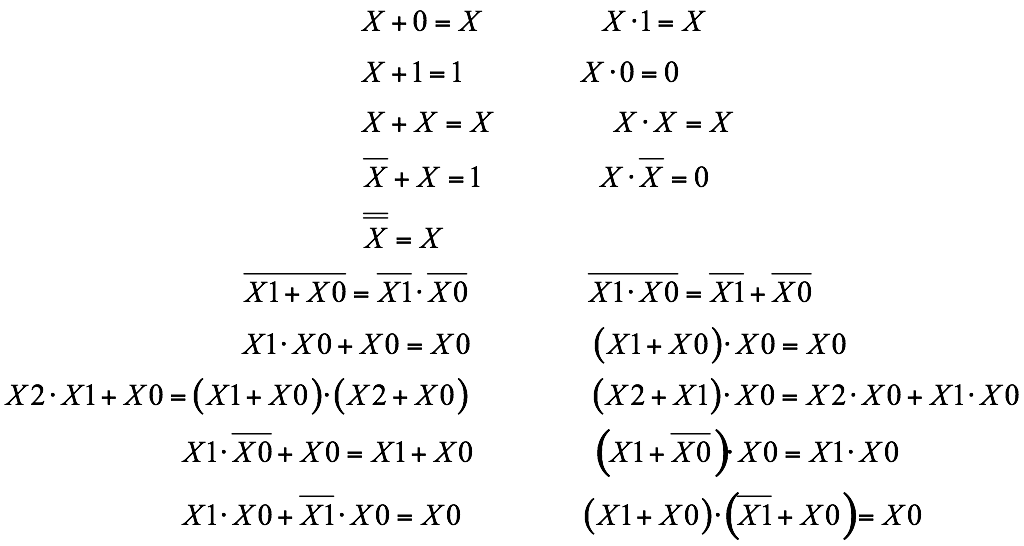
* для каждого набора переменных, на котором ФАЛ равна нулю (для каждой конституенты нуля), записывают логическую сумму входных переменных, причем переменные, равные единице, записывают с инверсией;
* логически перемножают полученные суммы.

**Пример П3.2.** Записать СКНФ для ФАЛ, заданной таблицей истинности на предыдущей странице,



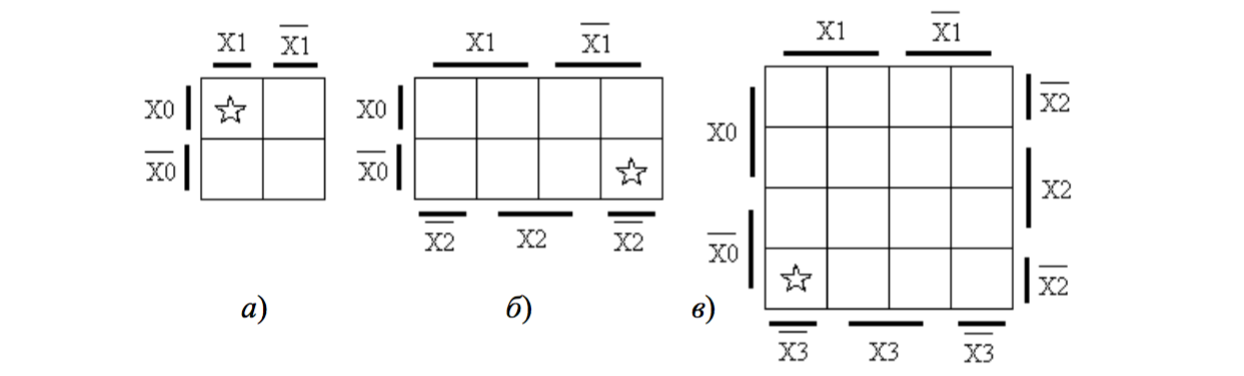
**П3.3. Минимизация ФАЛ**

При увеличении числа переменны, ФАЛ в виде CДНФ или СКНФ достаточно громоздки и их практическая реализация сопряжена со значительными затратами материальных ресурсов. Поэтому, на практике, ФАЛ минимизируют. Целью минимизации является сокращение числа членов исходного выражения. Существует большое число различных методов минимизации, но все они, фактически, базируются на использовании основных теорем алгебры логики:

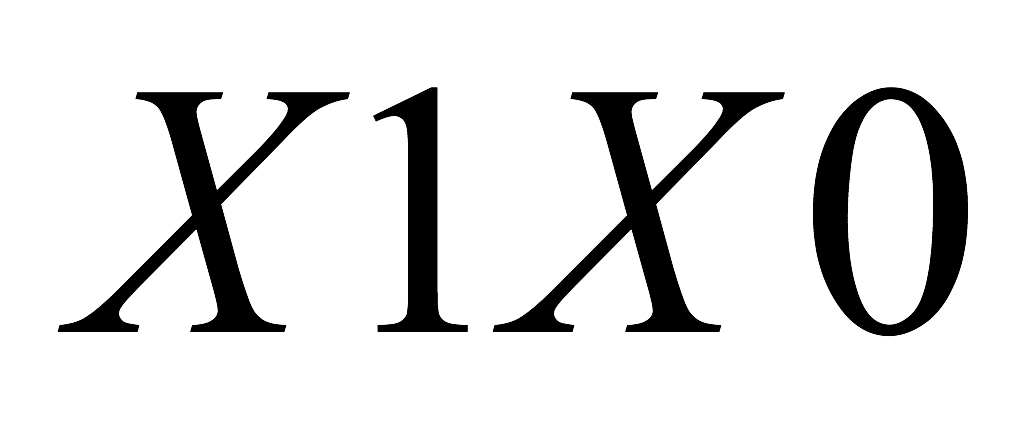
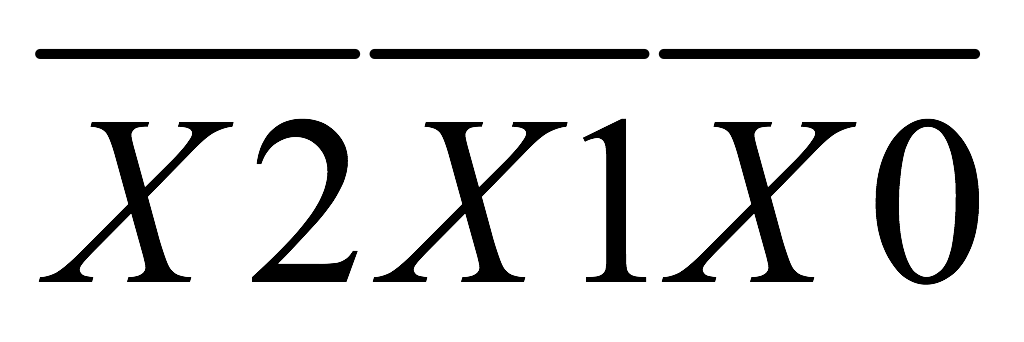
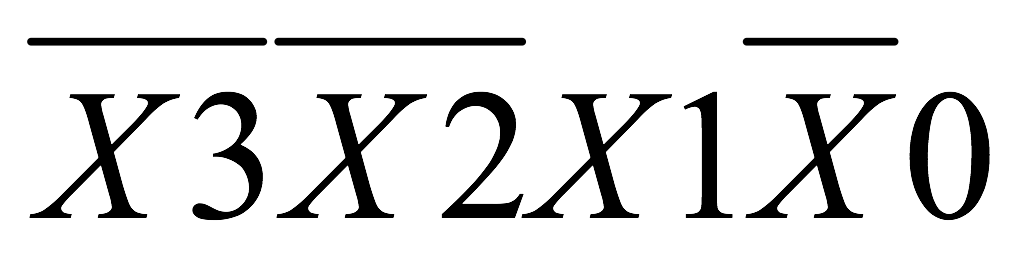


При большом числе переменных для минимизации ФАЛ используется специальное программное обеспечение. При небольшом числе переменных (не более 5) хорошие результаты дают табличные методы, работающий без привлечения ЭВМ.

Рассмотрим один из этих методов – метод карт Вейча. Данный метод предполагает использование специальных прямоугольных таблиц, построенных на основе таблиц истинности. Для описания этого метода введем понятие соседних кодов.

***Соседними*** называют коды, отличающиеся только в одном разряде. Карты Вейча строятся следующим образом: каждой клетке таблицы ставится в соответствие определенный набор входных переменных (код), причем коды рядом расположенных клеток являются соседними, а в саму таблицу вносятся значения выходного сигнала для заданного набора переменных.

На рис. П3.1 приведены карты Вейча для двух, трех и четырех переменных.

Рассмотрим метод заполнения карт Вейча. Искомый код определяется пересечением строк и столбцов, озаглавленных соответствующими переменными. Например, для таблицы, показанной на рис. П3.1*а*, верхняя левая клетка (отмеченная звездочкой) соответствует коду . Для таблицы, показанной на рис. П3.1*б,* нижняя правая клетка (отмеченная звездочкой) соответствует коду . Для рисунка П3.1*в* нижняя левая клетка (отмеченная звездочкой) соответствует коду .

|  |
| --- |
| В качестве примера рассмотрим минимизацию ФАЛ, описанной выше в таблице истинности. Заполненная карта Вейча, соответствующая данной таблице, приведена на рис. П3.2. При минимизации ФАЛ можно использовать либо ее единичные, либо нулевые значения. При объединении единичных значений ФАЛ получают выражение для самой функции, а при объединении нулевых значении – выражение для функции, инверсной исходной.  Минимизация ФАЛ выполняется по следующему алгоритму:  • на карте Вейча ФАЛ выделяют прямоугольные области объединяющие клетки с выбранным значением функции «лог 1» или «лог. 0». Каждая область должна содержать 2*k* клеток, где *k* − целое число (0, 1, 2,…). Выделенные области могут пересекаться, т. е. одна клетка может входить в несколько различных областей;  • каждая из выделенных областей описывается произведением переменных, которые для этой области остаются неизменными. Каждое произведение должно содержать *n – k* переменных; |

• из полученного множества выбирают минимальное число максимально больших областей, включающих все клетки с выбранным значением ФАЛ;

• логически суммируют выбранные произведения.

Полученное выражение является минимальной дизъюнктивной ФАЛ.

Воспользуемся приведенной методикой для минимизации вышеприведенной функции. Произведем объединение областей с единичными значениями функции. Имеем три области (см. рис. П3.3). Для области I неизменными остаются переменные *X*1 и *X*0. Для области II − постоянны переменные *Х*2 и Х0. Для области III – неизменны *Х*2 и *Х*1. Суммируя произведения неизменных переменных для каждой из выделенных областей, получим минимальную дизъюнктивную форму искомой ФАЛ в виде:

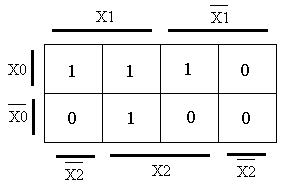


Рис. П3.2. Карта Вейча для

заданной функции

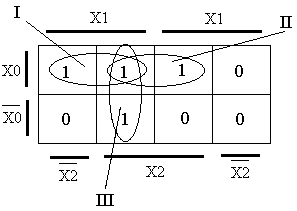
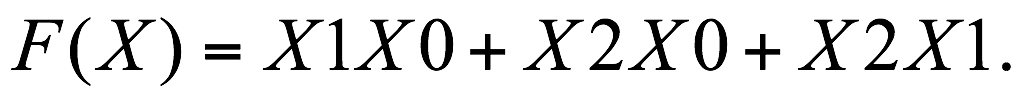
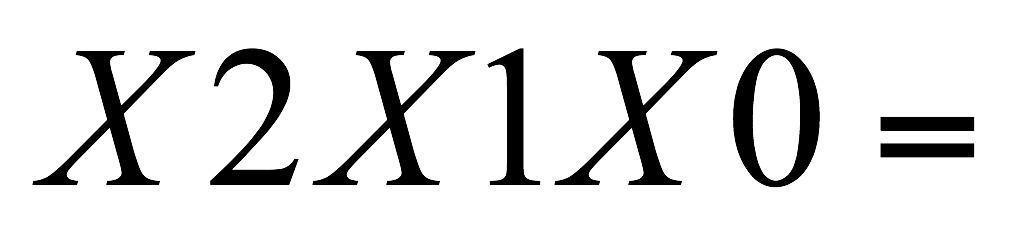
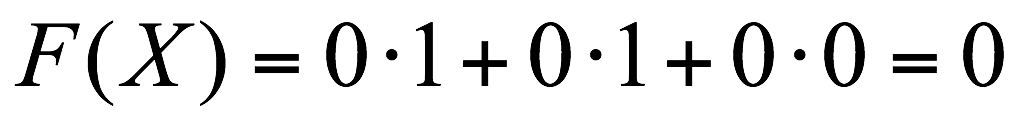


Рис. П3.3. Выделенные области карты

Вейча для единичных значений ФАЛ



В правильности полученной ФАЛ можно убедиться, подставляя в неё различные комбинации входных переменных. Например, для входного кода 001 имеем ¸ что соответствует приведенной таблице истинности.

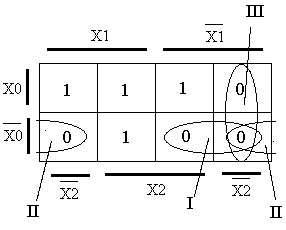
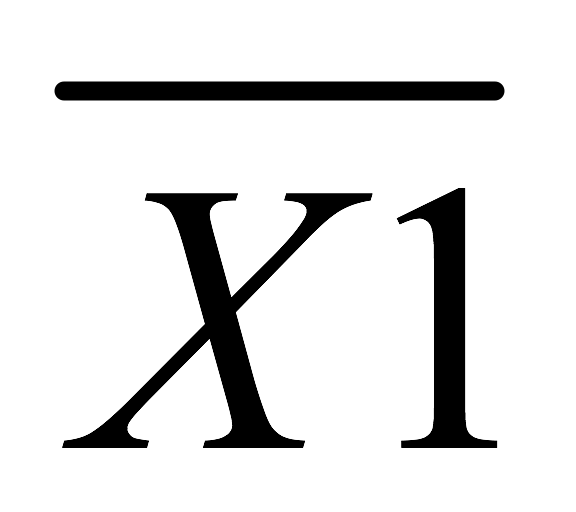
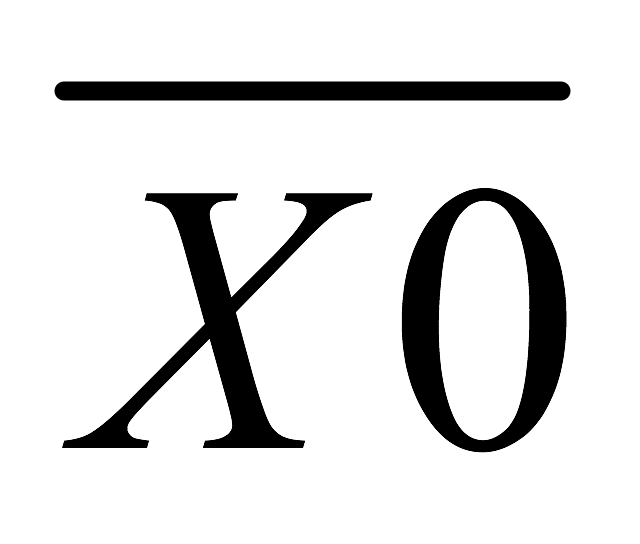
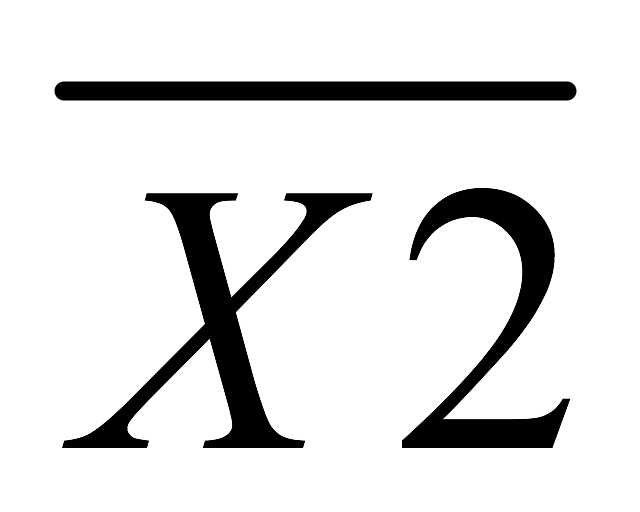
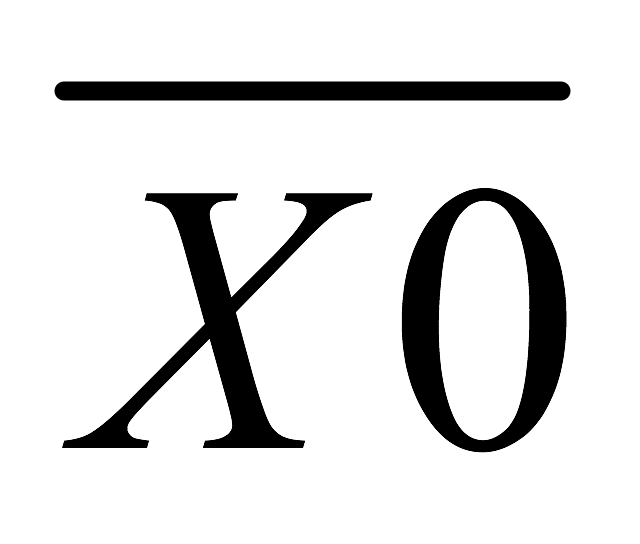
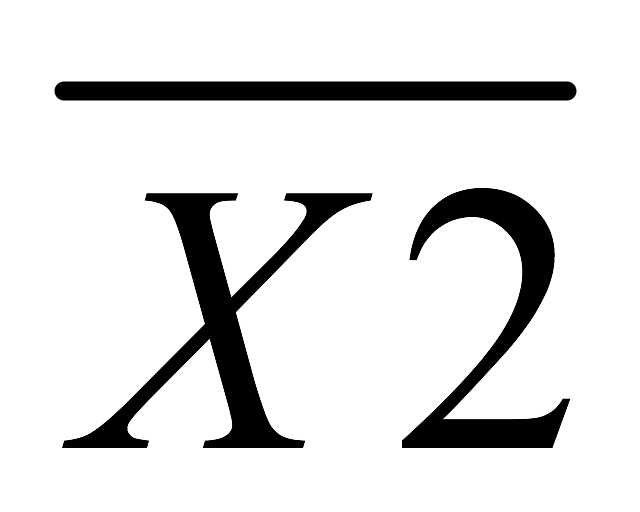
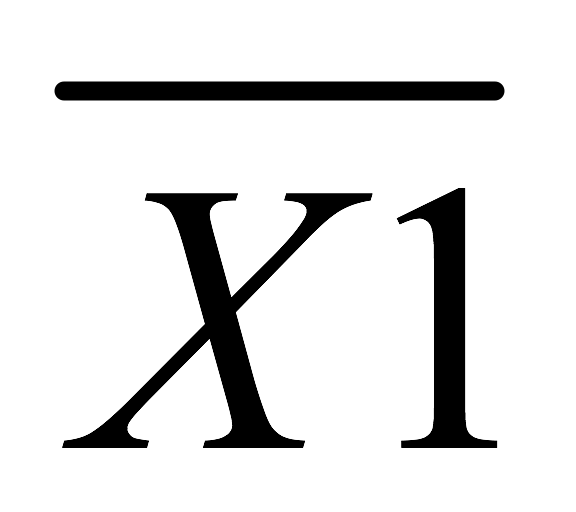
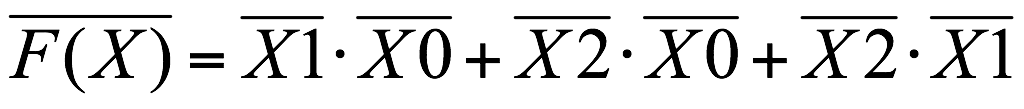
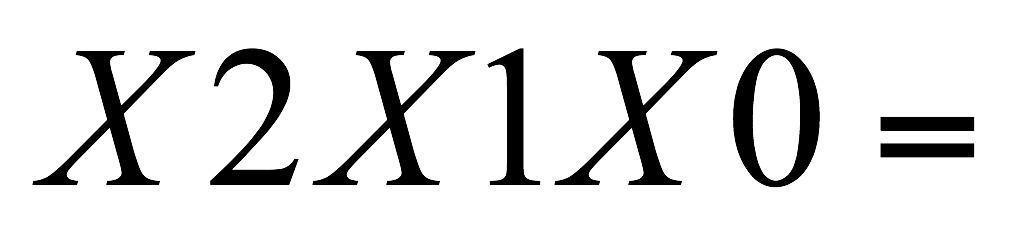


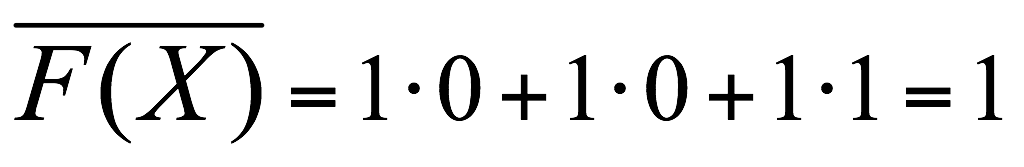
Рис. П3.4. Выделенные области карты

Вейча для нулевых значений ФАЛ

Объединяя клетки, содержащие нулевые значения функции, так же получим три области. Это область I, для которой неизменны переменные и , область II для которой неизменны  и  и область III с неизменными  и . Суммируя произведения переменных для каждой области получим ФАЛ, инверсную заданной:

.

Подставив, для проверки, в полученную ФАЛ входной код 001 найдем:

 или *F*(*X*) = 0.

Интересно отметить, что в рассмотренном примере область II была получена объединением клеток, расположенных на противоположных краях таблицы. Это следует из основного правила построения таблицы. Коды рядом расположенных клеток должны быть соседними, т. е. отличаться только в одном разряде. Нижней правой клетке рассматриваемой таблицы соответствует код 000, а левой нижней клетке – код 010, т. е. они соседние. Поэтому реально рассматриваемая таблица является объемной фигурой и представляет собой поверхность цилиндра (рис. П3.5)

|  |
| --- |
| Тоже самое можно сказать и о таблице 4-х переменных. Здесь соседним кодам попарно соответствуют как нижняя и верхняя строки таблицы, так и правый и левый крайние ее столбцы.  Поэтому таблица ФАЛ 4-х переменных как бы размещена на поверхности тора. На рис. П3.6 показаны возможные варианты объединения в области клеток карты Вейча 4-х переменных. Вполне очевидно, что распределение переменных по клеткам на плоском варианте карты Вейча может не совпадать с приведенным выше.  Например, клетки, соответствующие переменной *Х*0, можно поменять местами с клетками, соответствующим переменной *Х*3. .Но всегда должен выполняться основной принцип заполнения карты – рядом расположенные клетки (по горизонтали и вертикали) должны соответствовать соседним кодам.  **П3.4. Приведение ФАЛ к заданному базису логических элементов**  Для реализации ФАЛ произвольной сложности достаточно иметь элементы, выполняющие три основные логические операции. Это операция И (дизъюнкция), ИЛИ (конъюнкция) и НЕ (отрицание). Такая совокупность логических элементов называется ***функционально полной*** ***совокупностью логических элементов***.  Используя принцип двойственности, согласно которому логические операции И и ИЛИ могут быть взаимно преобразованы, функционально полную систему логических элементов можно уменьшить до двух элементов. Это совокупности элементов И и НЕ или ИЛИ и НЕ. На практике, нашли применение элементы, которые совмещают две функции. Это элементы И-НЕ и ИЛИ-НЕ. Согласно вышесказанному, один такой элемент является функционально полной системой логических элементов и на его основе можно построить логическое устройство произвольной сложности. |

Приведение ФАЛ к заданному базису логических элементов означает приведение его к заданному типу элементов (И-НЕ или ИЛИ-НЕ), причем число входов этих элементов так же должно быть заданным.

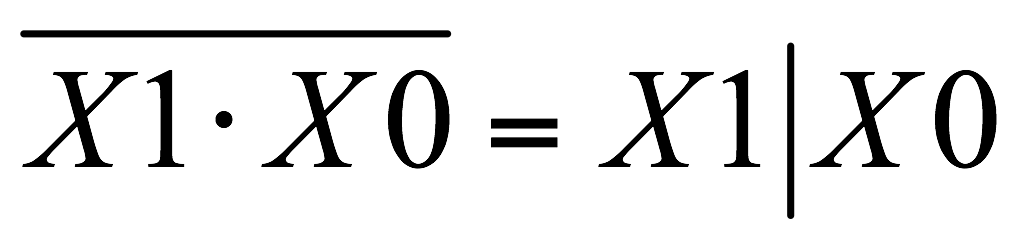
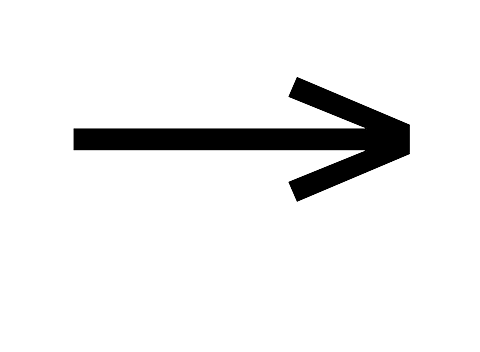
Таким образом, проблема приведения ФАЛ к заданному базису логических элементов распадается на две самостоятельные задачи:

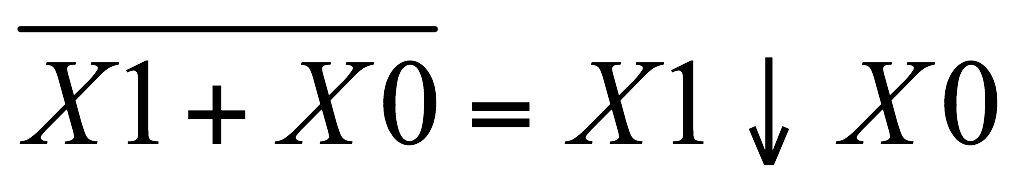
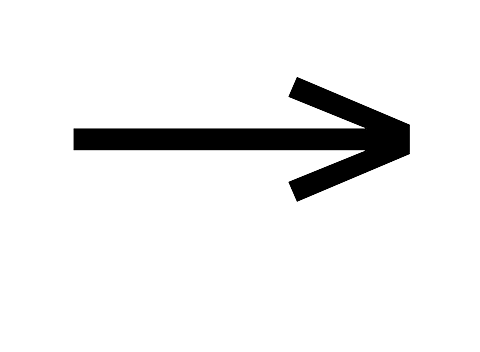
• приведения ФАЛ к заданному типу логических элементов (операций);

• приведение числа входов элемента к заданному.

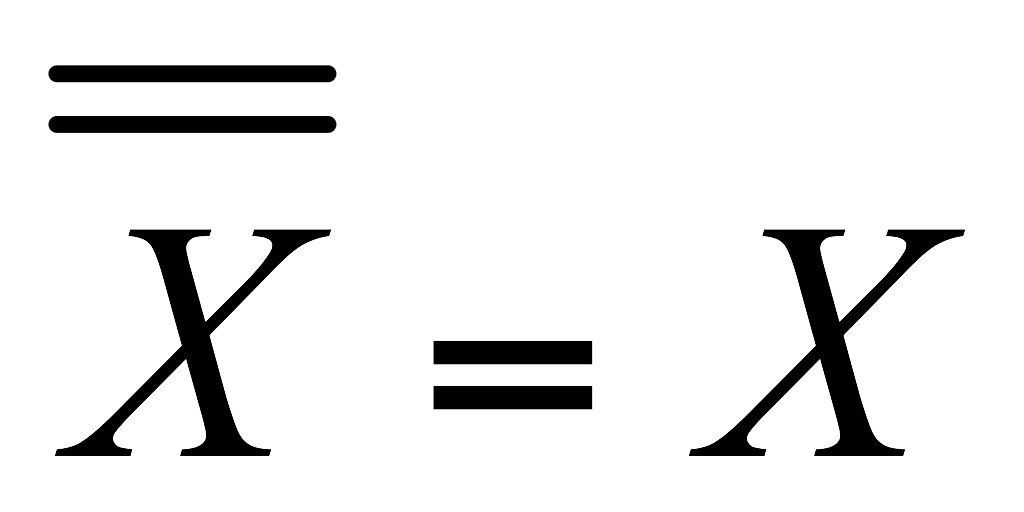
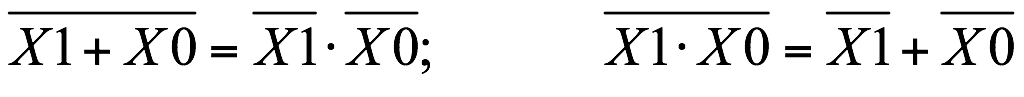
**П3.4.1. Приведение ФАЛ к заданному типу логических элементов**

Для удобства практического использования операции И-НЕ и ИЛИ-НЕ принято изображать специальными символами:

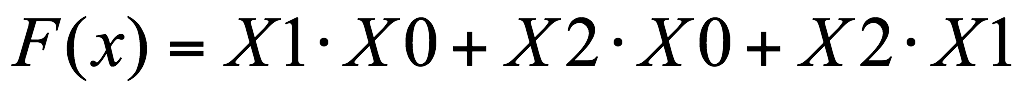
• операция И-НЕ − операция штрих Шеффера;

• операция ИЛИ-НЕ − операция стрелка Пирса.

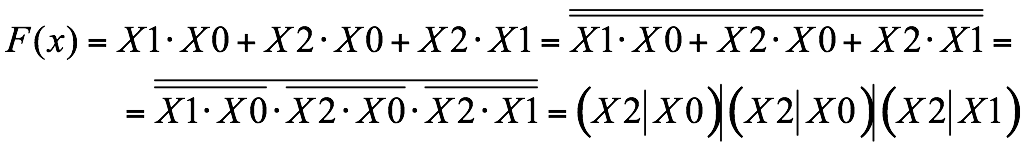
Алгоритм приведения базируется на использовании двух теорем алгебры логики:

* , причем дважды инвертировать можно как всё выражение, так и любую его часть;
*  − теоремы де-Моргана, являющиеся формальным представлением принципа двойственности.

Проиллюстрируем сказанное примерами. Пусть задана ФАЛ

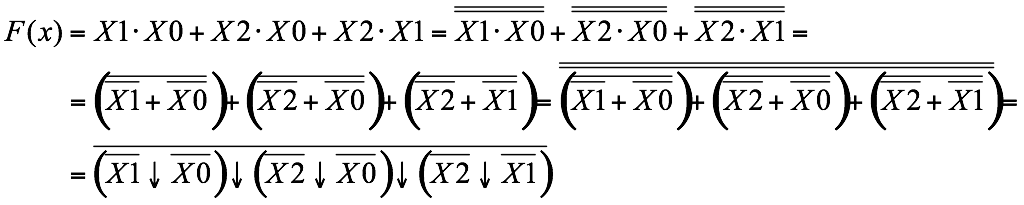


**Пример П3.3**. Привести ФАЛ к базису элементов И-НЕ.



В результате имеем 3 элемента 2И-НЕ и один элемент 3И-НЕ.

**Пример П3.4**. Привести ФАЛ к базису элементов ИЛИ-НЕ.



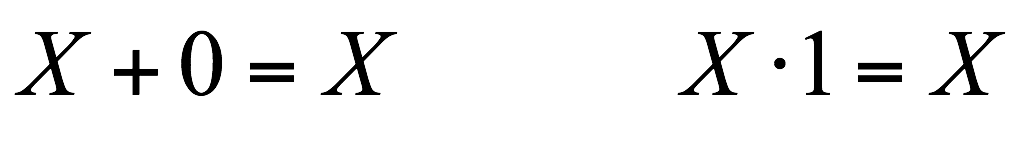
В результате имеем 3 элемента 2ИЛИ-НЕ, один элемент 3ИЛИ-НЕ и один инвертор, который так же можно выполнить на элементе ИЛИ-НЕ.

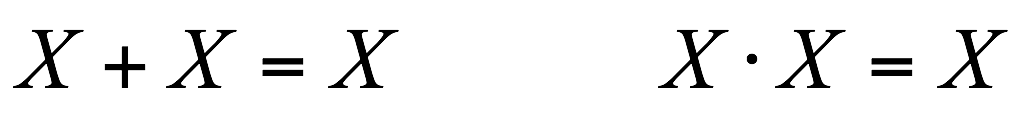
**П3.4.2. Приведение к заданному числу входов логического элемента**

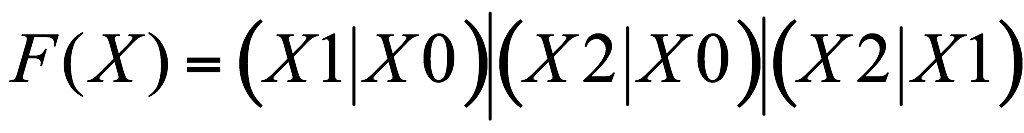
Здесь возможно два случая:

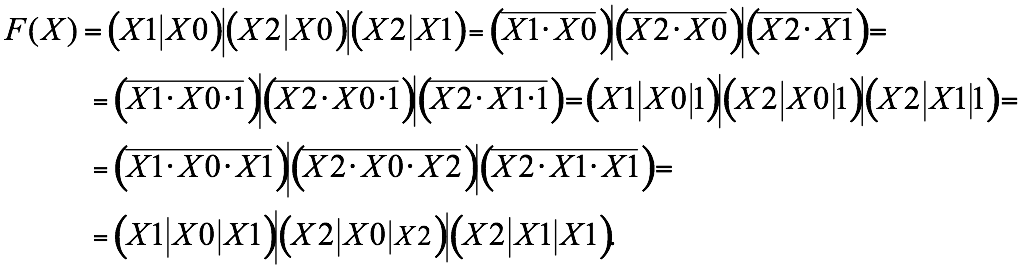
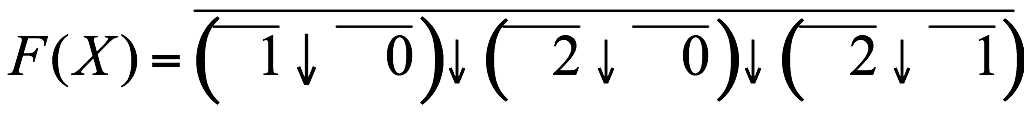
* число реальных входов логического элемента больше требуемого ФАЛ;
* число реальных входов логического элемента меньше требуемого ФАЛ.

*В первом случае* используются следующие теоремы:

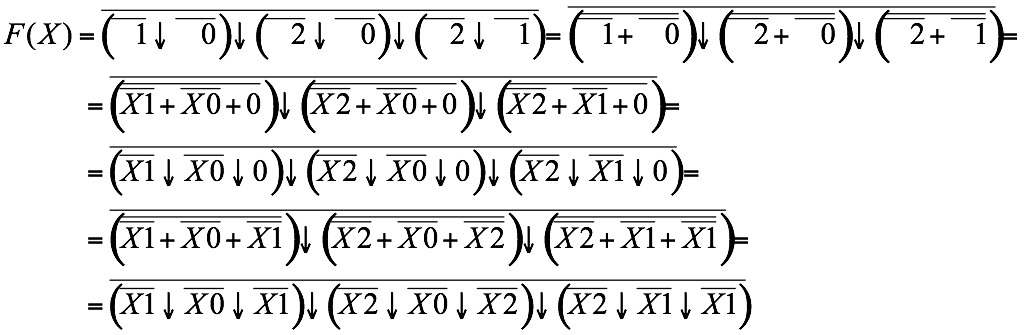
;

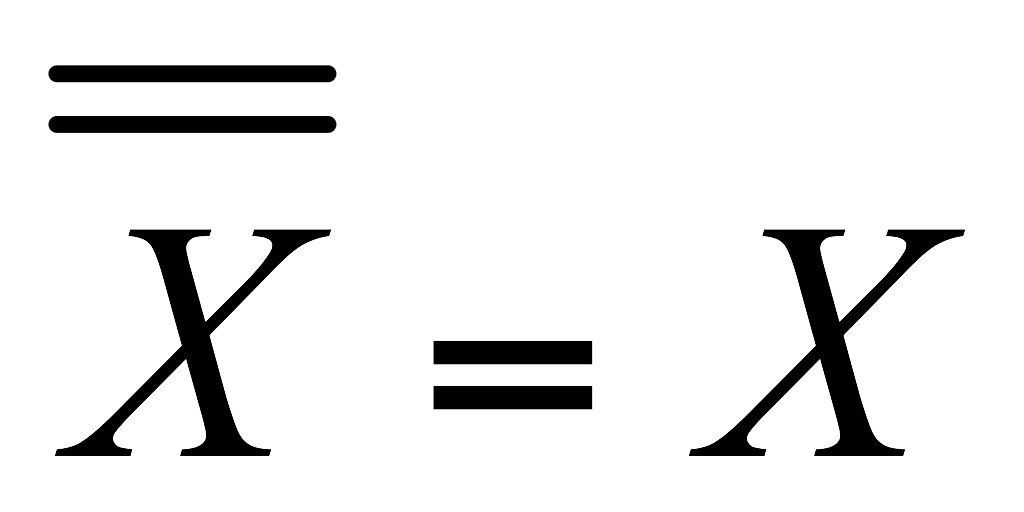
.

**Пример П3.5**. Задана ФАЛ . Привести к виду логических элементов с тремя входами (3И-НЕ)

 **Пример П3.6**. Задана ФАЛ .

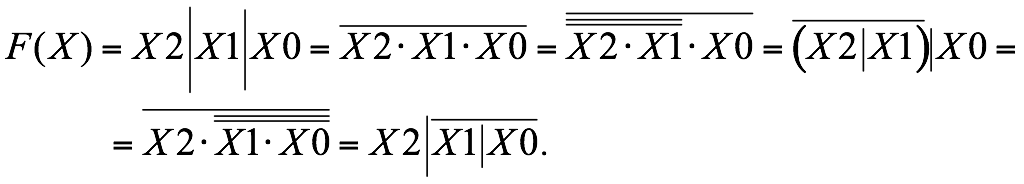
Привести к виду логических элементов с тремя входами (3ИЛИ-НЕ)



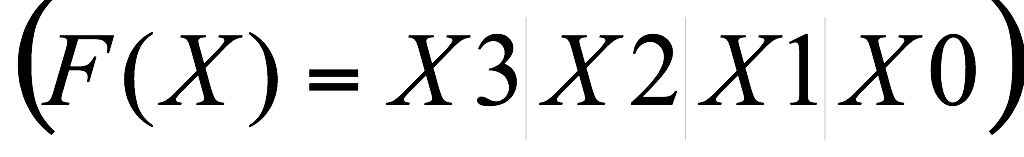
*Во втором случае* можно воспользоваться теоремой , применяя ее к части выражения.

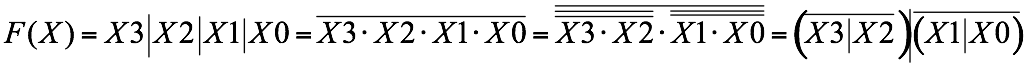
**Пример П3.7.** Преобразовать ФАЛ трехвходового элемента 3И-НЕ

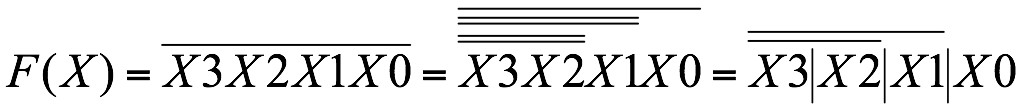
 к базису элементов 2И-НЕ



**Пример П3.8.** Преобразовать ФАЛ четырехвходового элемента 4И-НЕ

 к базису элементов 2И-НЕ.

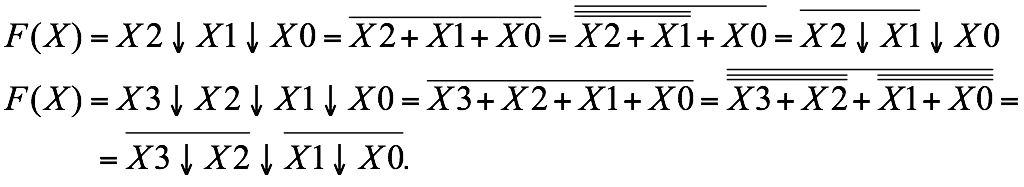
 ,

или .

Последнее преобразование менее предпочтительно, так как при реализации приводит к большим задержкам получения результата.

Аналогично преобразуется число входов и элементов ИЛИ-НЕ.

**Пример П3.9**.



**П3.5. Вычерчивание схемы устройства по его ФАЛ**

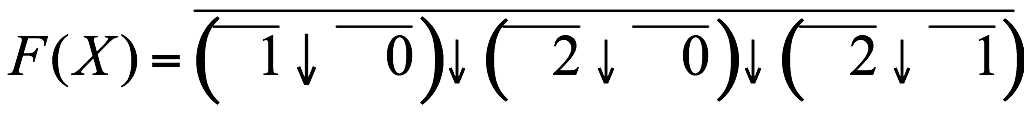
Графические эквиваленты типовых элементов ФАЛ приведены в таблице П3.1.

Таблица П3.1 Графические эквиваленты ФАЛ типовых элементов.

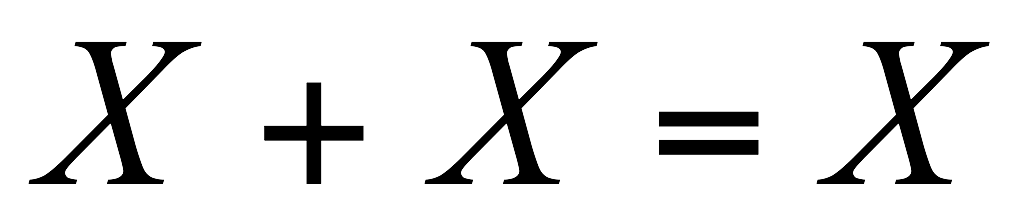
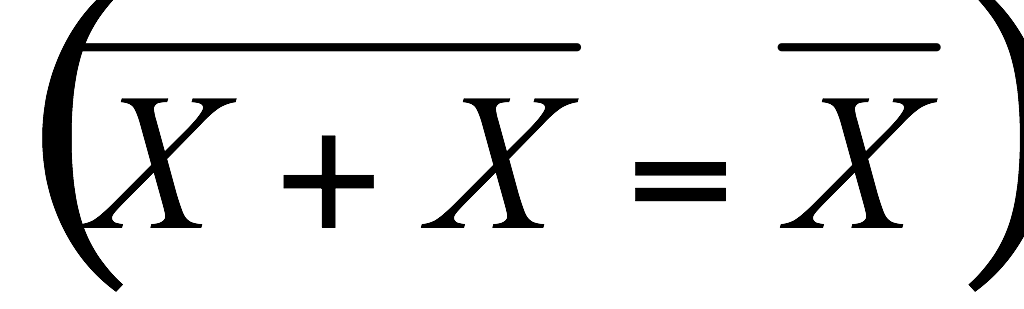
|  |  |  |
| --- | --- | --- |
| 2И-НЕ | 3И-НЕ | 4И-НЕ |
| 2ИЛИ-НЕ | 3ИЛИ-НЕ | 4ИЛИ-НЕ |

Для синтеза схемы логического устройства элементы, реализующие логические операции, необходимо распологать от входа к выходу согласно их месту в заданной ФАЛ.

**Пример П3.10**. Синтезировать схему для ФАЛ

**.**

|  |
| --- |
|  |

В приведенной схеме для получения сигналов, инверсных заданным, на входе устройства дополнительно используются логические элементы 2ИЛИ-НЕ, реализующие, согласно теореме  инвертирование входного сигнала .

***Приложение* 4**

**П4. Синтез комбинационного логического устройства**

**в заданном базисе логических элементов**

**(*пример выполнения задания* КР7*-*2)**

Рассмотрим выполнение задания со следующими параметрами: вар.1 (табл. 7.6), вар. 3 (табл. 7.7), вар. 6 (табл. 7.8).

Согласно заданию из таблиц 7.6, 7.7 и 7.8 выбираем:

• последовательность конституент единицы: 0, 3, 4, 6, 11, 12, 13, 14;

• базис логических элементов: 3И-НЕ;

• последовательность проверочных кодов: 0, 7, 3, 11, 2, 14, 9, 15, 8, 6.

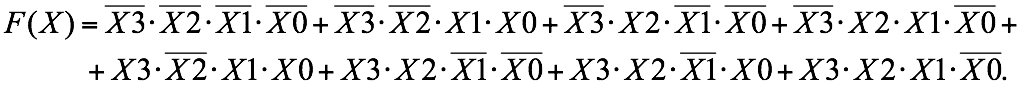
1. По заданным конституентам единицы составим таблицу истинности. Так как максимальная из заданных конституент равна 14, то для отображения входного кода проектируемого устройства достаточно четырех входных переменных (четырехразрядного входного кода).

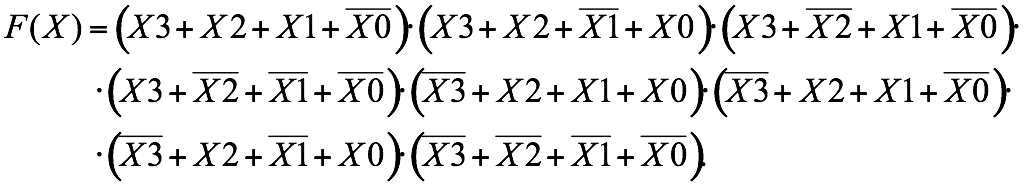
Таблица П4.1. Таблица истинности

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Х3* | *Х2* | *Х1* | *Х0* | *F*(*X*) |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

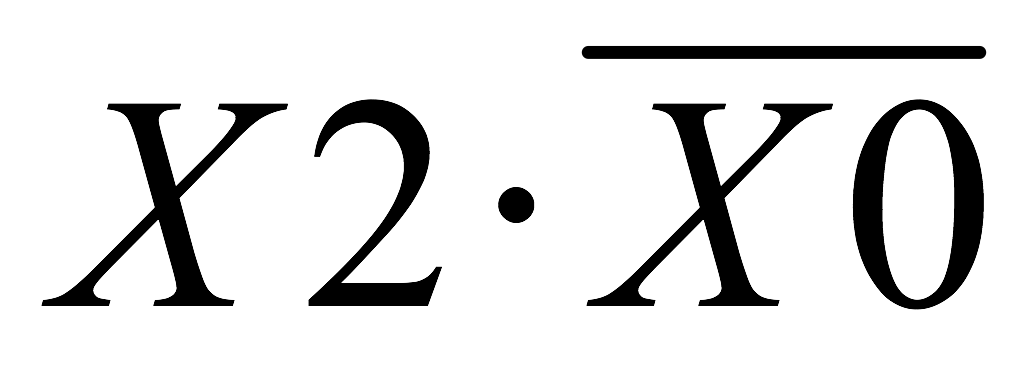
2. Используя составленную таблицу истинности, запишем СДНФ и CКНФ синтезируемого устройства.

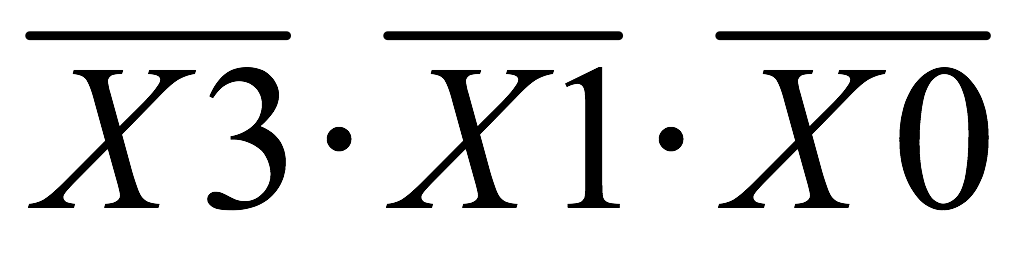
СДНФ:

 СКНФ:

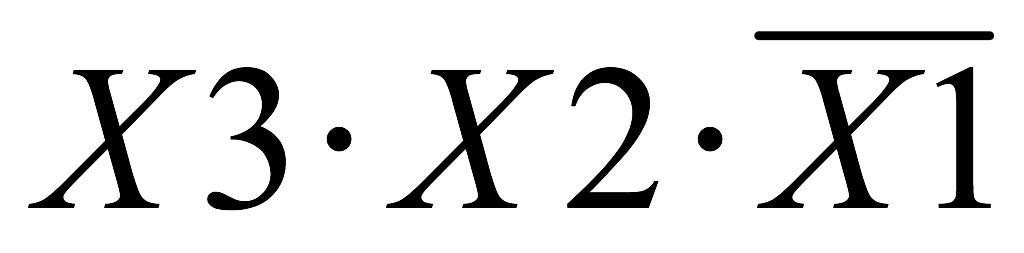


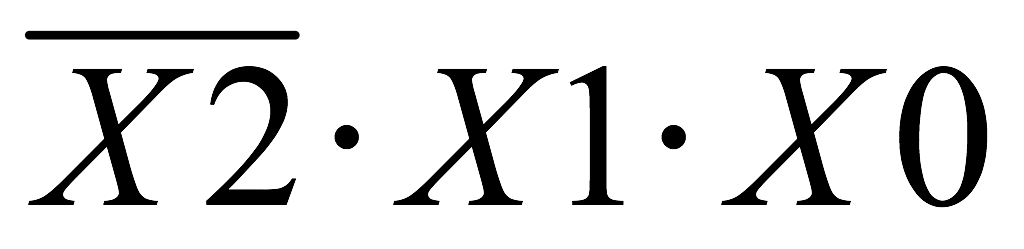
3. Минимальную дизъюнктивную форму ФАЛ получим с использованием карты Вейча. На карте Вейча (см. рис. П4.1) можно выделить 4 области, охватывающие все единичные значения функции.

Первая область состоит из четырех элементов, описываемая произведением неизменных переменных .

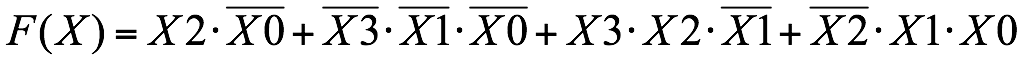
Вторая область – из двух элементов, описываемая произведением неизменных переменных .

|  |
| --- |
| Рис. П4.1. Карта Вейча для заданного алгоритма |

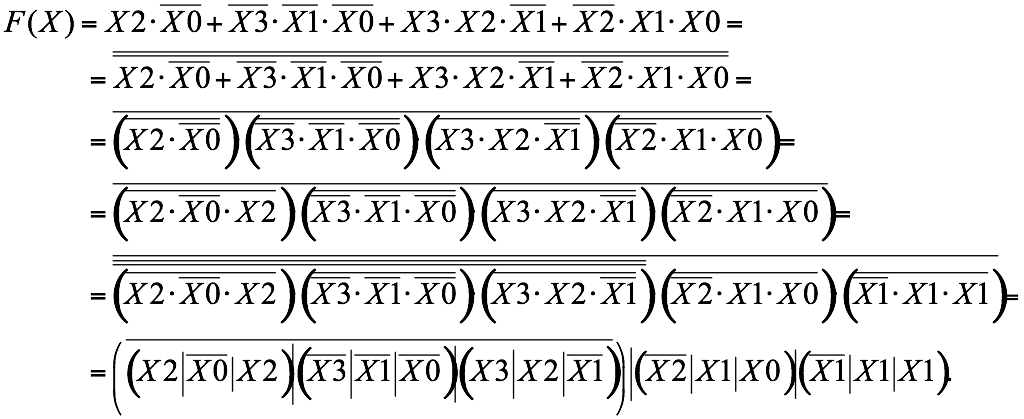
Третья область – из двух элементов, описываемая произведением неизменных переменных .

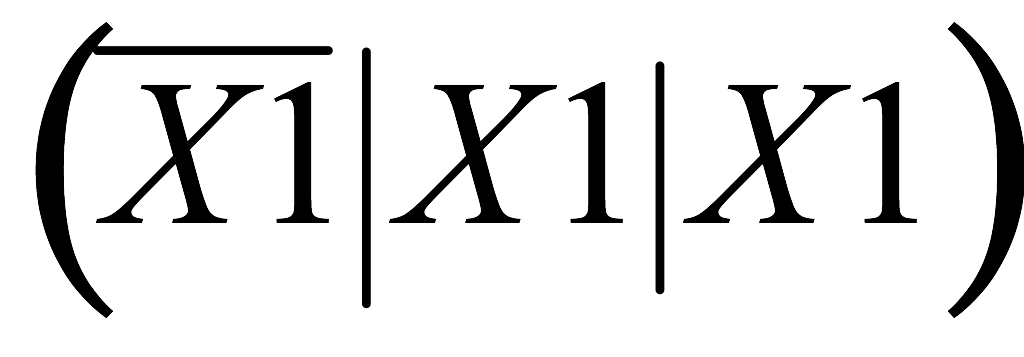
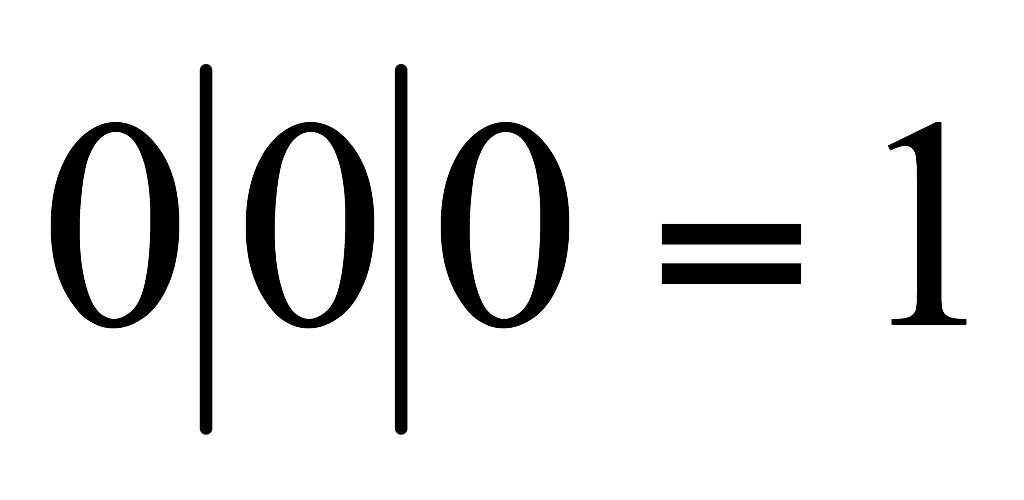
Четвертая область – из двух элементов, описываемая произведением неизмен­ных переменных .

Окончательно получим минимизированную ФАЛ вида

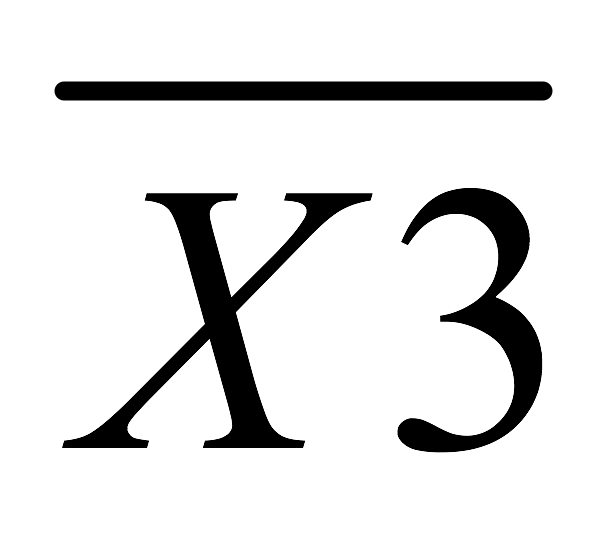
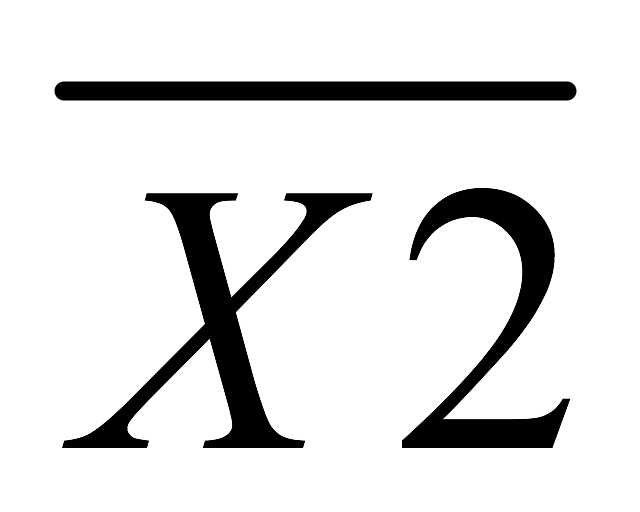
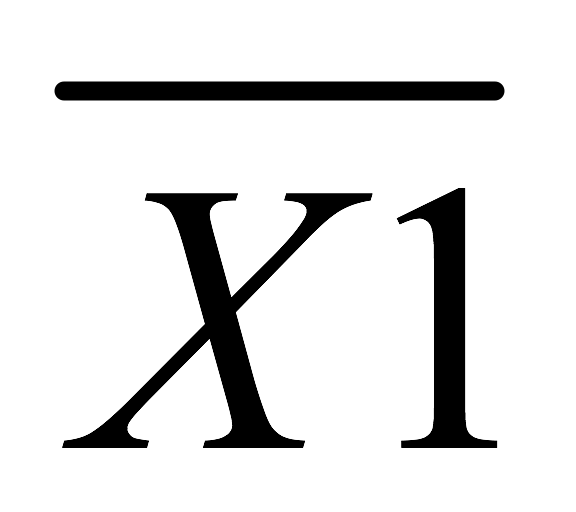
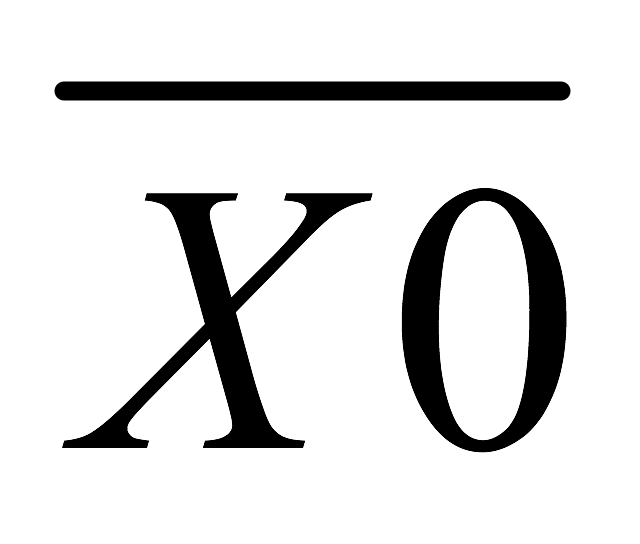
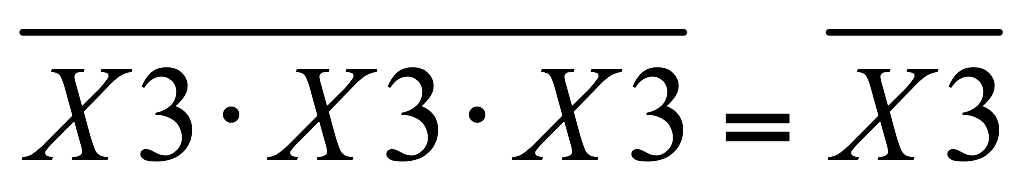
.

4. Приведем полученную ФАЛ к базису элементов 3И-НЕ



Следует отметить, что последний член выражения  моделирует формирование логической константы, равной логической единицы (при любых значениях *Х*1 данное выражение равно «лог.1»).Возможны и другие способы задания логической константы. Например заданием на всех входах элемента 3И-НЕ логического нуля:.

5. По полученному выражению синтезируем схему логического устройства в заданном базисе. Для этого элементы, реализующие операцию функции Шеффера, располагают от входа к выходу согласно их месту в ФАЛ.

Для получения сигналов, инверсных входным (, , , ), на входе устройства используются дополнительные элементы DD1…DD4, выполняющие роль инверторов. Например, выходной сигнал элемента DD1 определяется выражением , т.е. элемент выполняет функцию инвертора.

6. Для получения временных диаграмм коды, заданные в таблице 7.8, последовательно подаются на входы спроектированного устройства и прослеживается сигнал, проходящий по всем элементам схемы. Эту проверку можно выполнить либо вручную, подставляя значения заданных переменных на входы устройства, либо с помощью соответствующего программного обеспечения, например программы Multisim, использующейся при выполнении лабораторных работ.

На рис.П4.3. приведены полученные в результате проверки временные диаграммы, поясняющие работу спроектированного устройства.

**Выводы по заданию 2**

7. Выводы по заданию 2 должны содержать основные результаты, полученные при выполнении работы. Например: «В результате выполнения работы получены ФАЛ, формально описывающие заданный алгоритм функционирования устройства. Выполнена минимизация СДНФ, в результате которой найдена минимальная дизъюнктивная формы (МДФ) записи ФАЛ. Минимизация выполнена с использованием карт Вейча. МДФ ФАЛ приведена к виду, предполагающему ее реализацию на элементах 3И-НЕ. Синтезирована схема устройства в заданном базисе логических элементов, и с использование заданных проверочных кодов проверена правильность ее функционирования. Результат проверки свидетельствует, что функционирование разработанной схемы соответствует исходному заданию».

Рис. П4.2. Схема логического устройства в заданном базисе 3И-НЕ

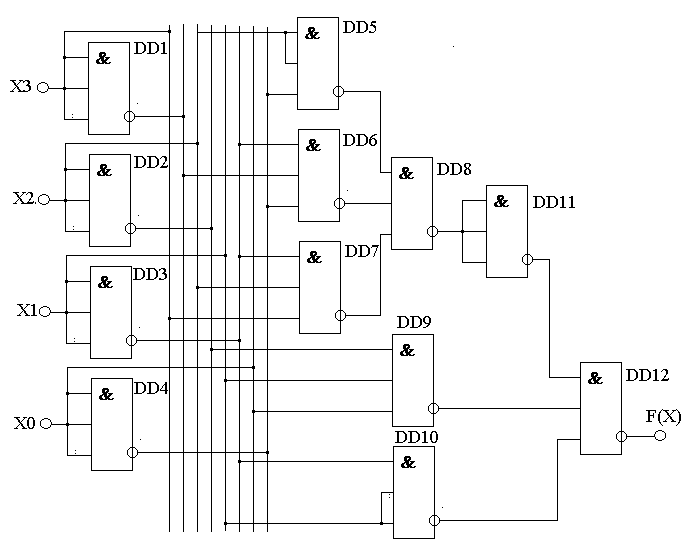
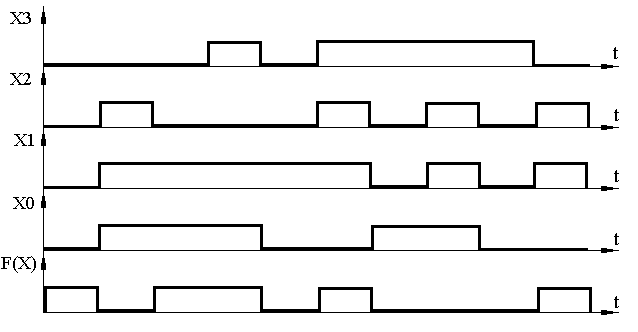


Рис. П4.3. Временная диаграмма устройства



***Задание 3***

**Разработка последовательностного логического устройства**

**(цифрового автомата), реализующего заданный алгоритм**

**функционирования**

По известным параметрам синтезировать схему последовательностного устройства, формирующего на выходе заданную последовательность двоично-десятичных кодов.

Для этого согласно варианту (см. табл. 7.9) необходимо:

3.1. Определить число необходимых состояний и объем памяти цифрового автомата.

3.2. Преобразовать заданную последовательность выходных чисел к виду двоично-десятичного кода.

3.3. Определить разрядность выходного кода устройства.

3.4. Нарисовать обобщенную структурную схему проектируемого устройства.

3.5. Составить граф переходов цифрового автомата.

3.6. Выбрать тип триггера для реализации триггерной подсистемы цифрового автомата и записать его таблицу переходов.

3.7. Составить расширенную таблицу истинности, описывающую поведение проектируемого цифрового автомата.

3.8. Записать минимизированные ФАЛ, описывающие алгоритм работы комбинационной подсистемы устройства.

3.9. Привести полученные ФАЛ к стандартному базису логических элементов.

3.10. Составить схему цифрового автомата.

3.11. Нарисовать временные диаграммы, поясняющие работу разработанного устройства.

3.12. Сформулировать выводы по работе.

П р и м е ч а н и я.

1. Основные теоретические положения, необходимые для выполнения задания 3, приведены в приложении 5.

2. В приложении 6 приведен пример выполнения задания 3.

**Варианты задания 3 курсовой работы КР7**

Таблица 7.9. Варианты задания 3

|  |  |
| --- | --- |
| № п.п | Последовательность выходных чисел |
| 38 | 15, 40, 77, 93, 71, 77, 32 |

***Приложение* 5**

**П5. Анализ и синтез последовательностных цифровых**

**устройств (*см. задание* КР7-3)**

**П5.1 Основные определения**

***Последовательностными***устройствами или автоматами с памятью называют логические устройства, выходной сигнал которых определяется не только действующей в настоящий момент на входе комбинацией переменных, но и всей последовательностью входных и выходных переменных, действовавших в предыдущие моменты времени.

Реализация такого алгоритма работы предполагает, что на входе некоторого логического устройства действует не только комбинация внешних входных сигналов, но и некоторые сигналы, отображающие предысторию работы устройства. Такие сигналы могут вырабатываться в самом комбинационном устройстве и совместно с внешними подаваться на его вход. Очевидно, что, по сути, в последовательностном устройстве существует канал передачи информации с его выхода на вход, причем эта информация суммируется с внешней. Следовательно, такой канал передачи является цепью положительной обратной связи (ПОС), охватывающей исходное комбинационное устройство. На рис. П5.1 приведена обобщенная структурная схема, реализующая описанный алгоритм работы устройства.

Представленная на рис.П5.1 структура является конечным автоматом, известным как автомат Мили. Если в схеме отсутствует входной сигнал *X*[*n*−1…0], то получим структуру, известную как автомат Мура.

Рис. П5.1. Обобщенная структурная схема последовательностного устройства

Комбинационное

логическое устройство

Блок

обратной связи

Сигнал ПОС

*Y* [*k* -1…0]

Выходной cигнал

*Z* [*m* -1…0]

Внутренний

входной сигнал

*Q*[*p* -1…0]

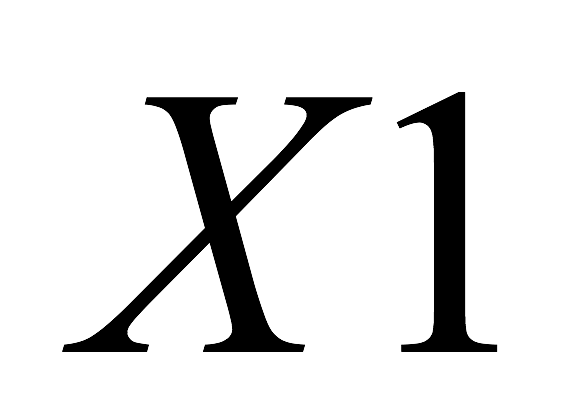
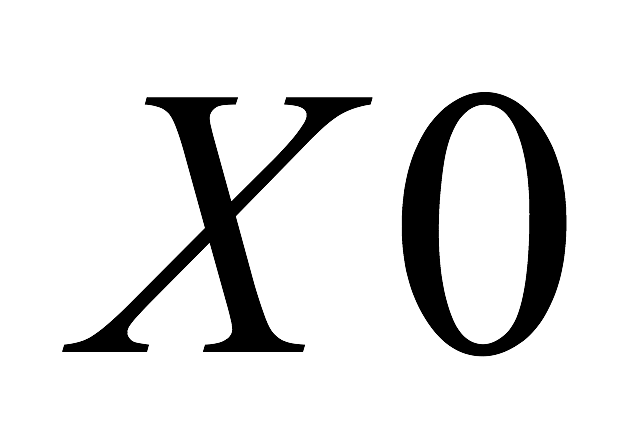
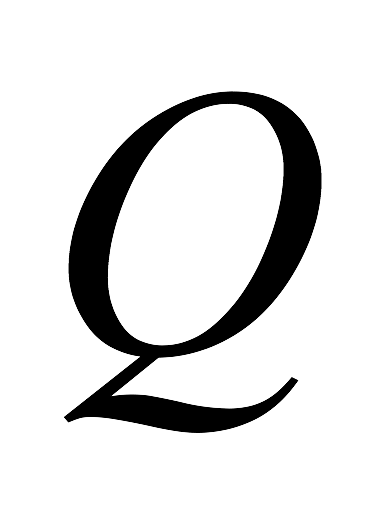
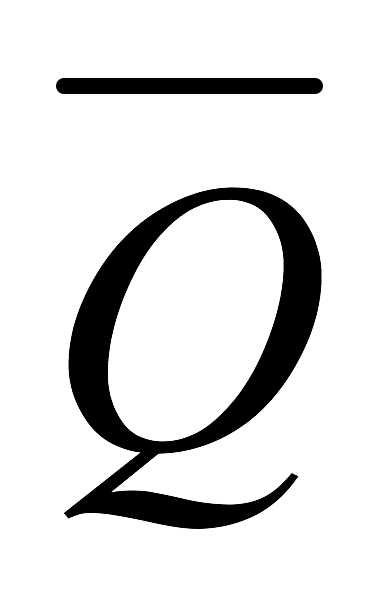
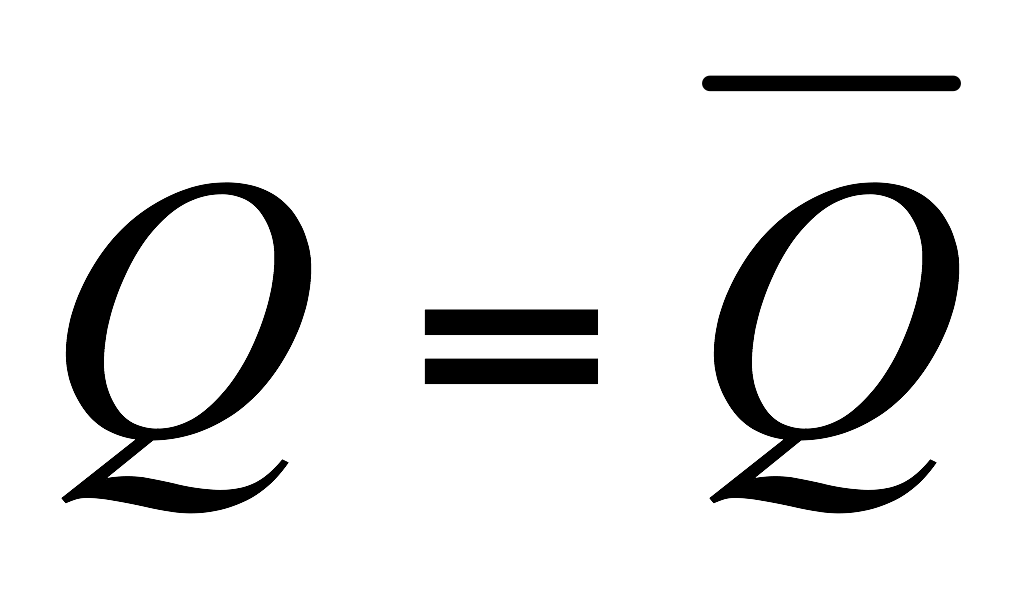
Входной cигнал

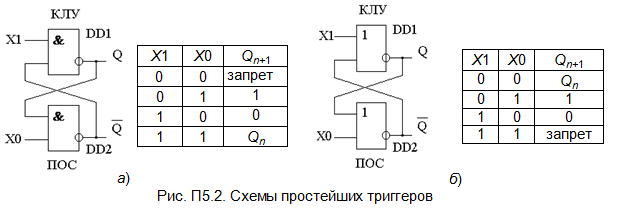
*X* [*n* -1…0]

В зависимости от выполнения блока ПОС данная структура порождает два класса устройств. Если в качестве блока обратной связи используется комбинационное устройство, получаем класс устройств называемых ***триггерами***. Эти устройства являются элементарными ячейками памяти, способными хранить один бит информации. Если блок обратной связи сам выполнен как последовательностное устройство, например триггер, то получаем более сложное устройство, которое и является конечным автоматом. Рассмотрим особенности работы обоих классов последовательностных устройств.

**П5.2 Триггеры**

***Триггером*** называется устройство, способное формировать два устойчивых значения выходного сигнала и скачкообразно изменять эти значения под действием внешнего управляющего сигнала.

Простейший триггер может быть построен, если в качестве комбинационного логического устройства использовать простейший элемент 2И-НЕ или 2ИЛИ-НЕ. Так как эти элементы содержат инвертор, то для формирования сигнала ПОС выходной сигнал элемента необходимо дополнительно инвертировать. С этой целью можно использовать второй такой же элемент. На рис.П5.2 приведены два варианта построения простейшего триггера. Он снабжен двумя информационными входами  и  и двумя выходами  и , сигналы которых связанны операцией инверсии. Рядом со схемами приведены таблицы истинности, поясняющие работу этих устройств. В таблицах под *Qn* понимается исходное значение выходного сигнала триггера, а под *Qn*+1 − значение выходного сигнала после воздействия входных переменных. Из таблиц следует, что существует три разновидности комбинаций входных сигналов *Х*1 и *Х*0. Первая − это комбинация при которой значение выходного сигнала остается неизменным. Вторая – комбинация которая однозначно определяет выходной сигнал устройства. И третья - это запрещенная комбинация при которой не выполняется определение триггера (сигнал ), т.е. устройство теряет способность хранить информацию, так как после снятия этой комбинации значение выходного сигнала невозможно прогнозировать.

Реальные схемы триггеров содержат одну или несколько из приведенных ячеек памяти и некоторую комбинационную схему, предназначенную для формирования информационных сигналов *Х*1 и *Х*0.

При описании поведения триггера пользуются понятиями: ***триггер установлен*** или триггер находится в состоянии установки – выходной сигнал *Q* = 1; ***триггер сброшен*** или триггер находится в сброшенном состоянии – выходной сигнал *Q* = 0, а так же понятием ***активного входного сигнала*** под которым понимают такое его значение, которое однозначно определяет входной сигнал устройства.

Существующие типы триггеров можно квалифицировать по различным признакам. Наиболее часто в качестве такого признака используют тип информационных входов, управляющих работой устройства.

Различают следующие типы управляющих входов триггеров:

*R* – раздельный вход сброса триггера (*Q* = 0);

*S* – раздельный вход установки триггера (*Q* = 1);

*K* – вход сброса универсального триггера (*Q* = 0);

*J* – вход установки универсального триггера (*Q* = 1);

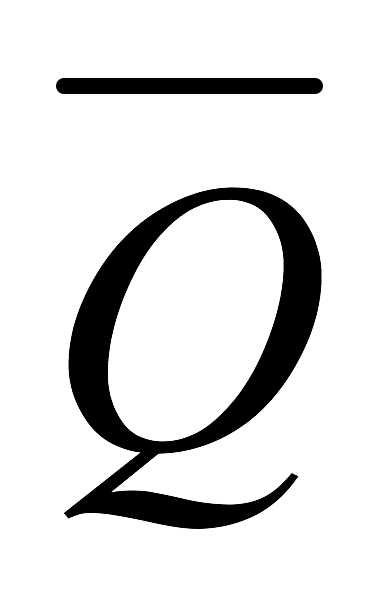
*T* – счетный вход триггера;

*D* – информационный вход, сигнал которого переписывается на выход (*Q* = *D*);

*С* – вход синхронизации.

По этим признакам различают синхронные (переключаются только при наличии сигнала на входе синхронизации С) и асинхронные (переключаются сразу после изменения информационных сигналов) R*S*-триггера, *T-*триггера, *JK*-триггера и *D*-триггера, которые могут быть только синхронными.

Простейшими триггерами (см. рис. П5.2) являются асинхронные *RS*-триггеры. Для триггера (рис. П5.2*а*) активным входным сигналом является сигнал «лог.0». Вход *Х*1 *= S,* вход *X*0 *= R*. Для триггера (рис. П5.2*б*) активным является сигнал «лог.1»: вход *Х*1 = *R*, *X*0 = *S*.

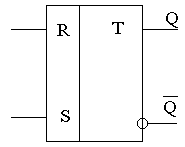
Условное изображение асинхронного RS-триггера показано на рис. П5.3. В левом выделенном поле указываются все информационные входы триггера. При этом если активным логическим сигналом является сигнал «лог.0» то соответствующий вход снабжается кружком (как выход ). В правом верхнем углу стоят буква «Т» или «ТТ» в зависимости от того является ли триггер одноступенчатым или двухступенчатым. Пример построения двухступенчатого триггера приведен ниже в таблице П5.1 (*Т*- и *JK*-триггеры).

На практике, работу триггера удобно описывать не таблицами истинности а таблицами переходов, указывающими какая комбинация информационных сигналов приводит к заданному изменению выходного сигнала (состояния) триггера.

В табл. П5.1 приведены возможные схемы и таблицы переходов различных типов триггеров при условии, что активным логическим сигналом является сигнал «лог. 1».

Рис. П5.3. Условное обозначение

асинхронного *RS*-триггера



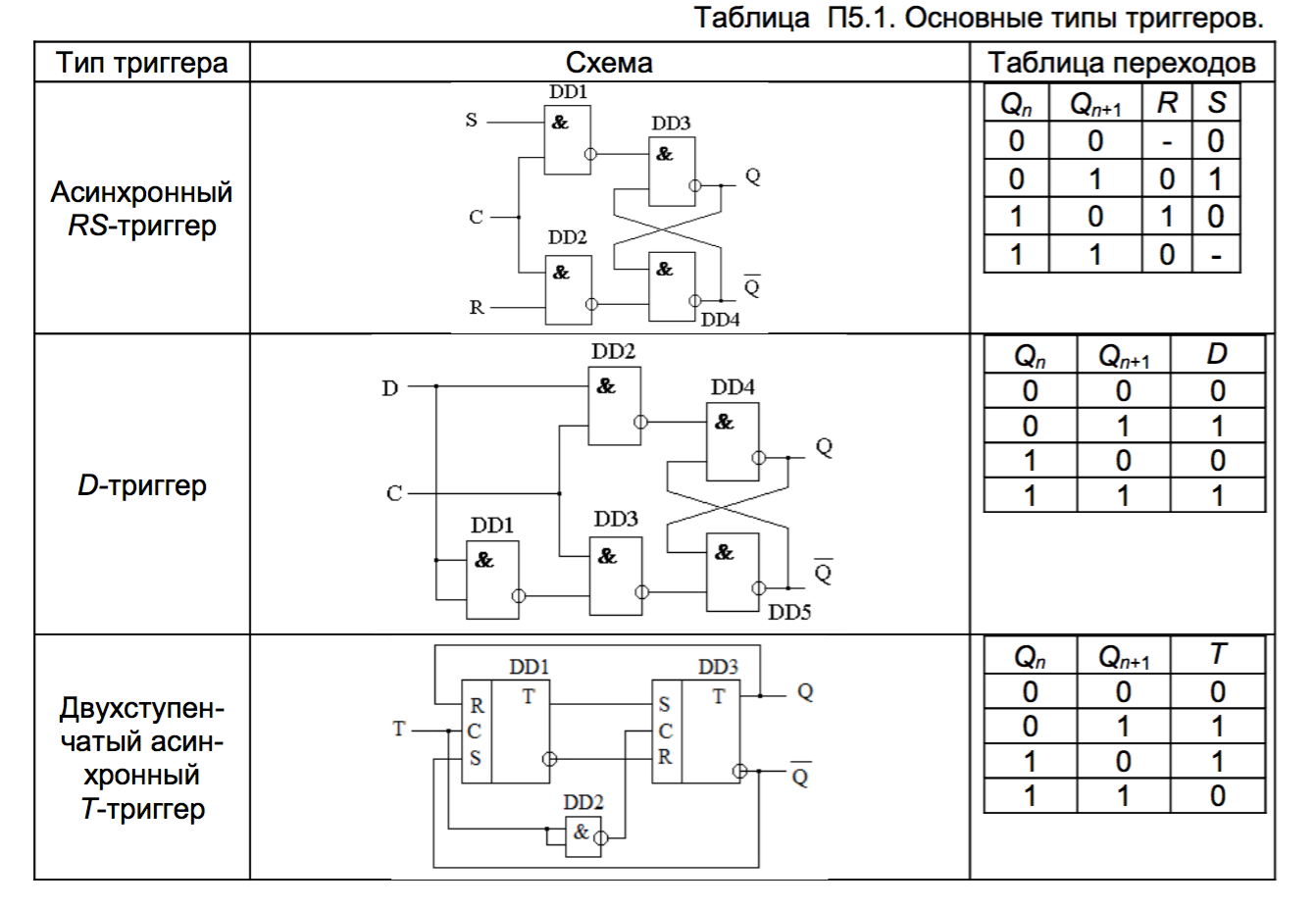
П р и м е ч а н и я.

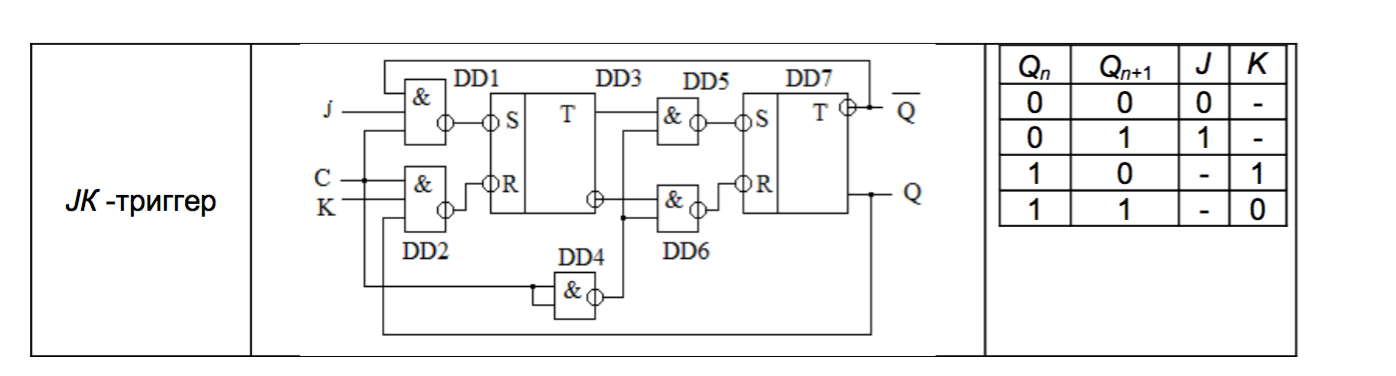
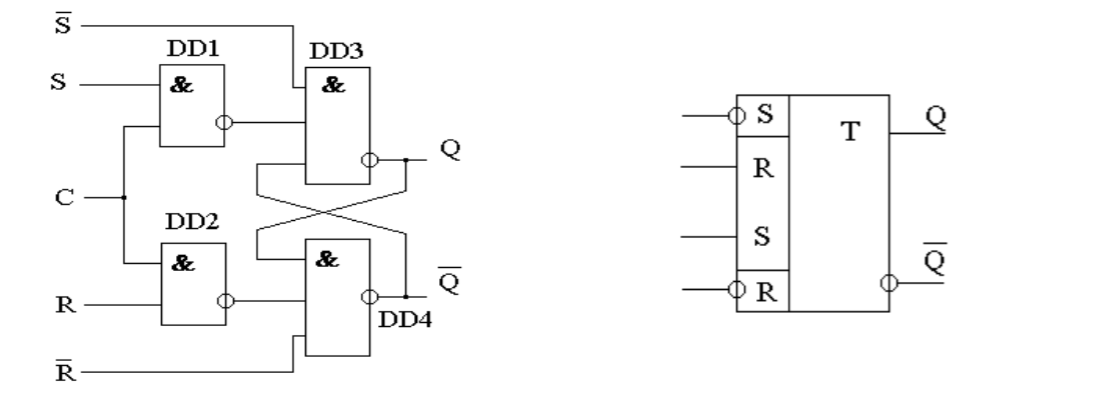
1. Таблицы переходов приведены для случая асинхронных триггеров. Работу синхронного триггера можно описать следующей ФАЛ:

т.е. синхронный триггер переключается только в момент активного уровня сигнала

на его входе синхронизации *С*.

2. Прочерк в таблице переходов означает, что на данный информационный вход мо­жет быть подан произвольный логический сигнал (либо «0», либо «1»).

Таблица П5.1. Основные типы триггеров.

  
  
  
  
Обычно все типы триггеров дополнительно снабжаются асинхронными входами *R* и *S*, которые воздействуют непосредственно на элемент памяти. Эти входы позволяют устанавливать или сбрасывать триггер вне зависимости от остальных информационных сигналов. На рис. П5.4 приведены логическая схема и обозначение синхронного *RS*-триггера с асинхронными установочными входами.

|  |
| --- |
| Асинхронные входы, как правило, управляются сигналами, инверсными сигналам основных информационных входов. Этот факт отражается либо инверсией над названием соответствующего входа (см. логическую схему элемента), либо кружком на выводе (см. рис. П5.4).  Из приведенных в таблице П5.1 триггеров *JK*-триггер является наиболее универсальным, так как позволяет на своей основе реализовать алгоритмы работы всех остальных триггеров. В таблице П5.2 приведены возможные варианты использования *JK*-триггера. |

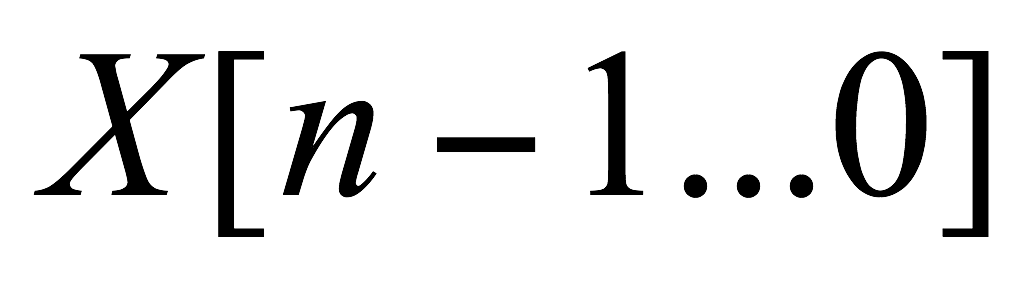
Таблица П5.2. Варианты использования *JK*-триггера

|  |  |
| --- | --- |
| Тип реализуемого триггера | Реализация |
| Асинхронный *RS*-триггер с инверсными входами |  |
| Синхронный *RS*-триггер |  |
| *D*-триггер |  |
| Асинхронный *T*- триггер |  |
| Синхронный *Т*-триггер |  |

Из приведенной таблицы следует, что кроме *D*-триггера, для получения остальных типов триггеров на входы *JK*-триггер просто необходимо подать соответствующие комбинации сигналов. Следует отметить, что при подаче одновременно активных сигналов на входы *J* и *K,* *JK-*триггер начинает работать как счетный. Это следствие наличие в его внутренней структуре дополнительных цепей обратной связи.

**П5.3. Конечные автоматы**

Ранее отмечалось, что если блок обратной связи обобщенной структурной схемы (см. рис. П5.1) последовательностного устройства содержит элементы памяти, например триггеры, то полученная структура является конечным автоматом. Термин «конечный» означает, что число выходных сигналов, и, следовательно, состояний автомата, является ограниченным. Введем понятие состояния автомата. Это понятие уже вводилось ранее для одиночного триггера и под ним понимался выходной сигнал триггера. В общем случае, блок обратной связи автомата может содержать несколько триггеров. Поэтому под состоянием понимается сигнал, формируемый на выходе блока обратной связи. С учетом сказанного обобщенную структурную схему конечного автомата можно представить в виде двух подсистем: комбинационной и триггерной или подсистемы памяти (рис. П5.5]. В отличие от ранее рассмотренной, приведенная структура предполагает наличие еще одного сигнала. Это сигнал синхронизации *С*, используемый для инициализации переключения элементов памяти (триггеров) подсистемы памяти.

Таким образом, изменение выходного сигнала автомата *Z* [*m* -1…0] возможно в двух случаях. При изменении входного сигнала  и при изменении состояния автомата *S* [*p* -1…0], происходящего в момент переключения триггеров его подсистемы памяти. Последнее определяется сигналом синхронизации *С*.

**П5.4. Описание поведения цифрового автомата**

Наиболее часто для описания алгоритма работы цифрового автомата использую либо граф переходов, либо таблицу состояний. Очевидно, что обе эти формы легко преобразуются одна в другую.

Граф переходов представляет графическую интерпретацию алгоритма работы цифрового автомата. Он наиболее удобен для начальной формализации алгоритма его работы. При построении графа переходов каждому состоянию автомата ставится в соответствие некоторая вершина графа, а переход из одного состояния в другое соответствует направленному ребру, соединяющему начальное и конечное состояния. Причем каждое ребро взвешено, т. е. над ним указывается дробь, числитель которой указывает значение входного сигнала, под действием которого осуществляется указанный переход, а знаменатель соответствует текущему значению выходного сигнала автомата *Z*[*m*–1…0].

Рис. П5.5. Структурная схема цифрового автомата.

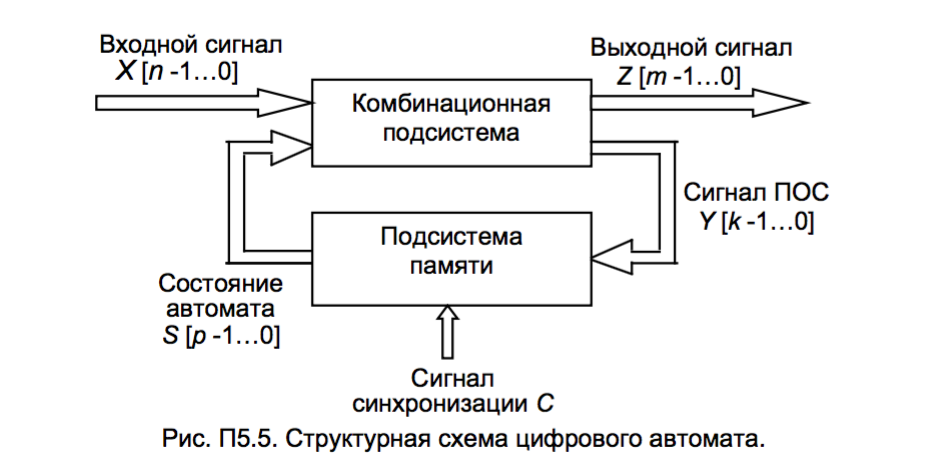
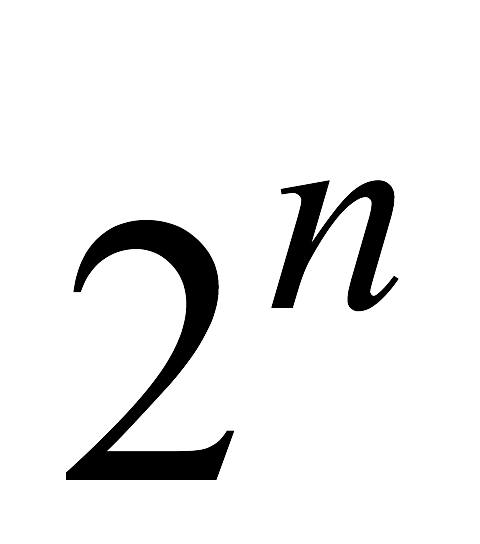
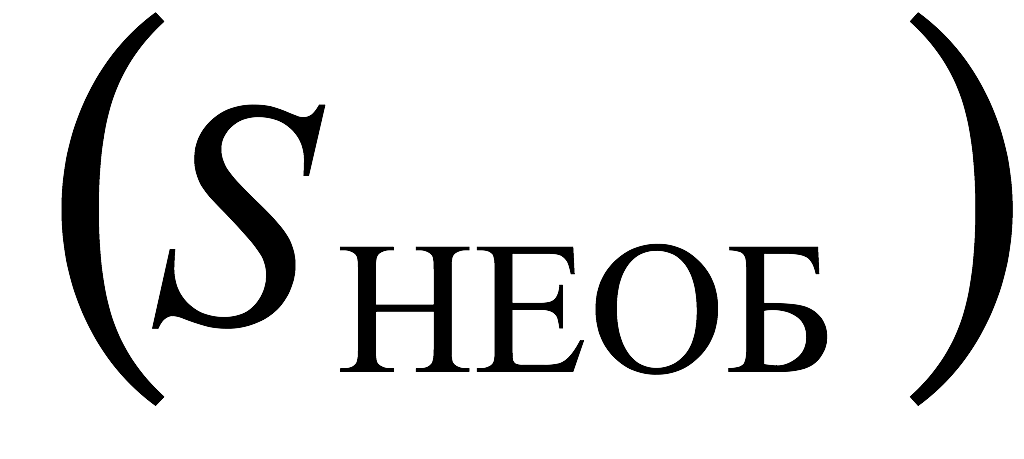
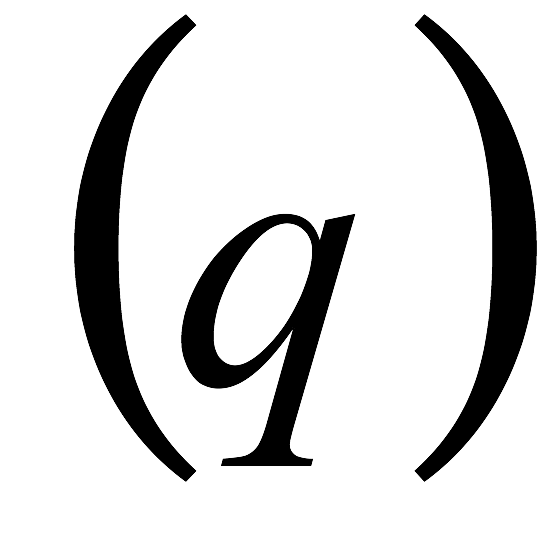
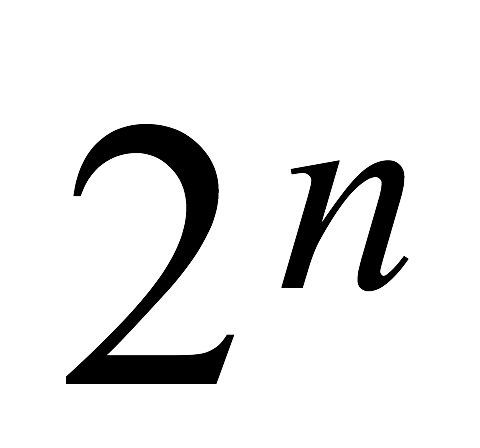
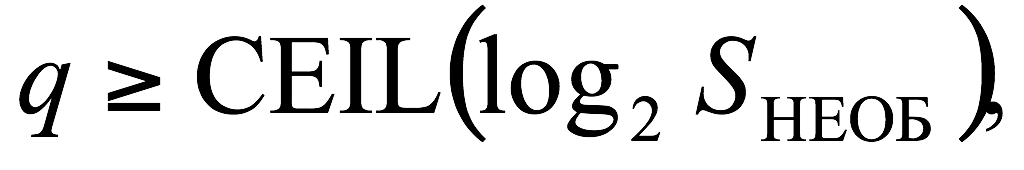


Таблица состояний включает *G* + 1 столбец и  строк, где *G* – число различных комбинаций входных сигналов *Х*[*n*−1…0], которые могут присутствовать на входе автомата. В первом столбце перечисляются все возможные состояния автомата (состояния *Sn*). Остальные столбцы соответствуют возможным входным сигналам. На пересечении *i*-ой строки, соответствующей текущему состоянию автомата (соcтояние *Si*) и *j*-го столбца, соответствующего текущему значению входного сигнала (сигнал *Х(j*)) записывается дробь, числитель которой показывает следующее состояние автомата (*Sn*+1), а знаменатель – текущее значение выходного сигнала *Z*. Различные способы описания алгоритма работы автомата приведены в примере П5.1

**П5.5. Алгоритм синтеза цифрового автомата**

1. Исходя из условий функционирования, определяют число необходимых состояний и требуемый объем памяти цифрового автомата. Число необходимых для реализации состояний  определяется как наибольшее значение выходных кодов устройства, формируемых при одном значении входного сигнала. Объем памяти триггерной подсистемы  определяется из условия, что n разрядный двоичный код может принимать  различных значений. Тогда требуемый объем памяти, т. е. число необходимых триггеров подсистемы памяти определяется из условия:



где функция CEIL означает округление до ближайшего большего целого.

2. Выполняют формальное описание алгоритма работы автомата;

3. Выбирают тип триггера для реализации подсистемы памяти.

4. Используя формальное описание алгоритма работы автомата и таблицу переходов выбранного типа триггеров, составляют расширенную таблицу истинности, характеризующую работу комбинационной подсистемы автомата. Число строк этой таблицы равно максимальному числу входных сигналов, действующих на входе комбинационной подсистемы. В столбцах таблицы записывается следующая информация: *Х*[*n*-1…0] – входной сигнал; *Sn*[*q*–1….0] – текущее состояние автомата;*Sn*+1[*q*–1…0] – последующее состояние автомата; *Y*[*k*–1…0] - cигнал ПОС; *Z*[*m* -1…0] – выходной сигнал автомата.

5. Используя расширенную таблицу истинности, минимизируют ФАЛ, описывающие работу комбинационной подсистемы автомата;

6. Используя полученные ФАЛ, синтезируют схему цифрового автомата.

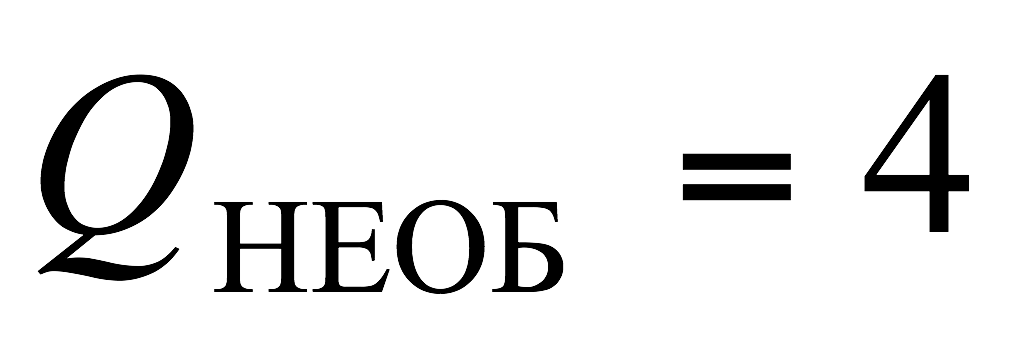
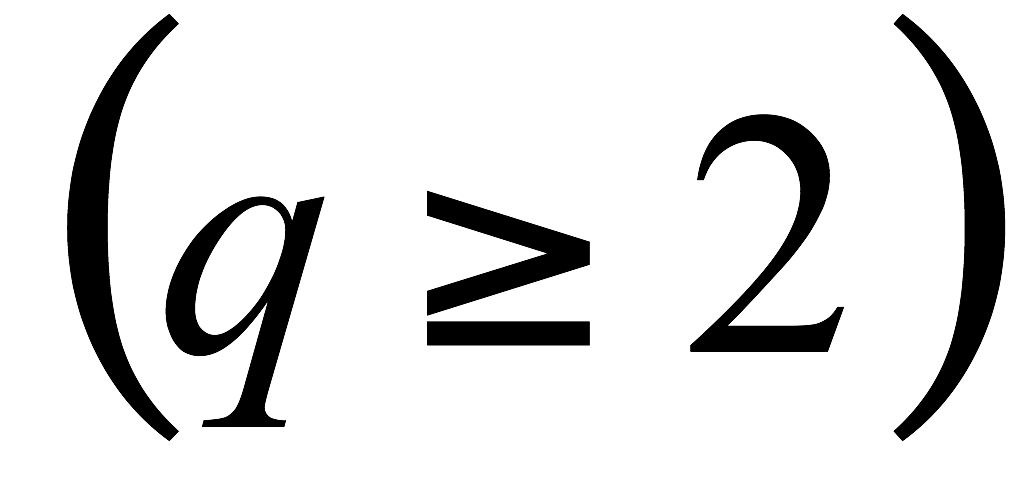
Проиллюстрируем описание алгоритма работы автомата на примере.

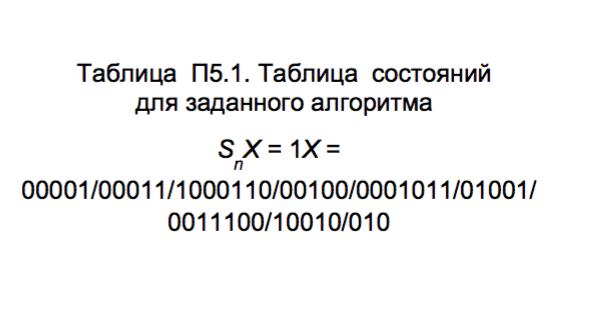
**Пример П5.1.** Спроектировать устройство, формирующее на выходе следующие последовательности выходных кодов:

• при входном сигнале *X =* 1 – 000, 001, 010, 100;

• при входном сигнале *Х* = 0 – 100, 010, 001, 000.

Изменение входного сигнала должно приводить к изменению выходного кода в соответствие с заданными последовательностями. Причем это изменение должно происходить по фронту импульса внешнего сигнала синхронизации.

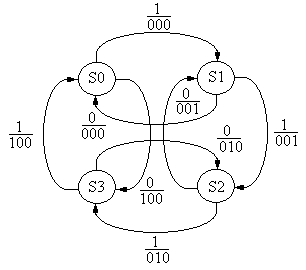
1. Из заданного алгоритма работы следует, что при одном значении входного сигнала *Х* на выходе автомата может формироваться 4 кода. Следовательно, число необходимых состояний автомата . Для реализации такого числа состояний достаточно двух триггеров .

2. Синтезируем граф переходов, описывающий заданный алгоритм работы устройства. Обозначим состояния автомата окружностями и обозначим их как *S*0, *S*1, *S*2 и *S*3 (рис. П5.6). Используя граф переходов, составим таблицу состояний автомата. В таблице состояний обозначено *S*0 = 00, *S*1 = 01, *S*2 = 10, *S*3 = 11 (табл. П5.1).

3. Для реализации триггерной подсистемы можно использовать любой тип синхронного триггера, изменяющего своё состояние по фронту импульса сигнала синхронизации. Используемый тип триггера определяет схему комбинационной подсистемы автомата. Можно сформулировать некоторые общие закономерности выбора типа используемого триггера. При выборе триггера, управляемого двумя информационными сигналами (*RS-* и *JK-*триггера) увеличивается разрядность сигнала ПОС, однако, как правило, упрощается схема комбинационной подсистемы.

Рис. П5.6. Граф переходов

для заданного алгоритма

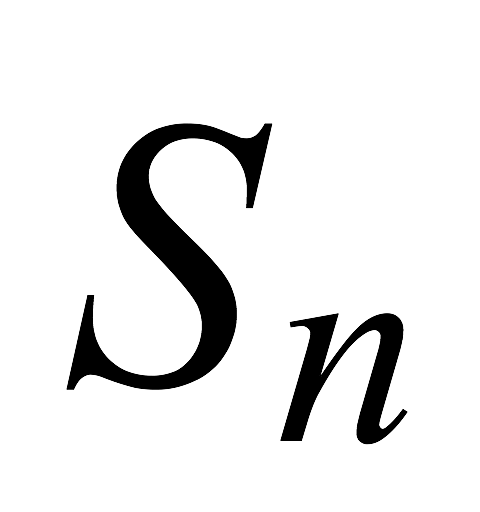
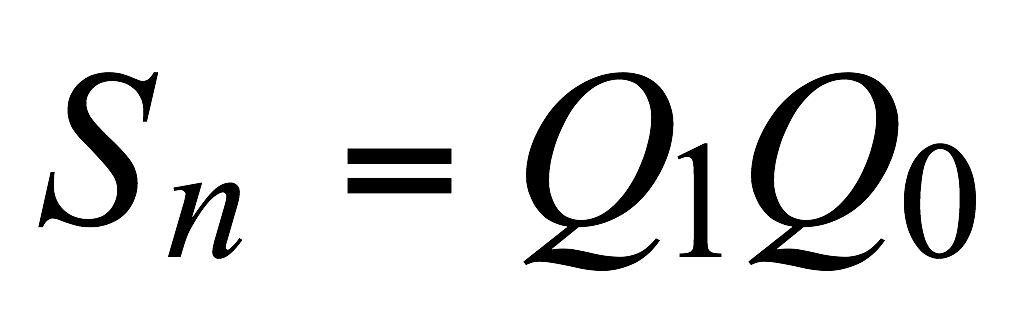
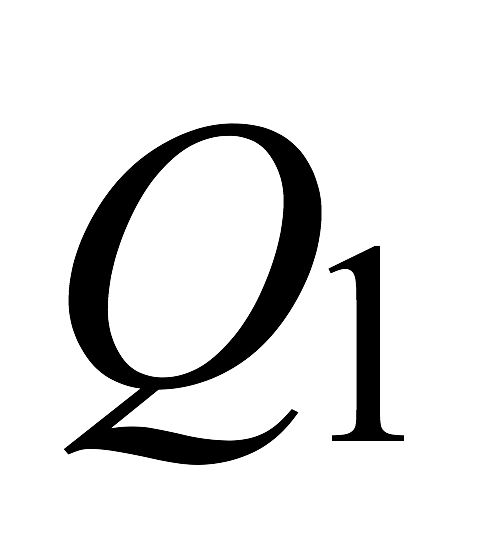
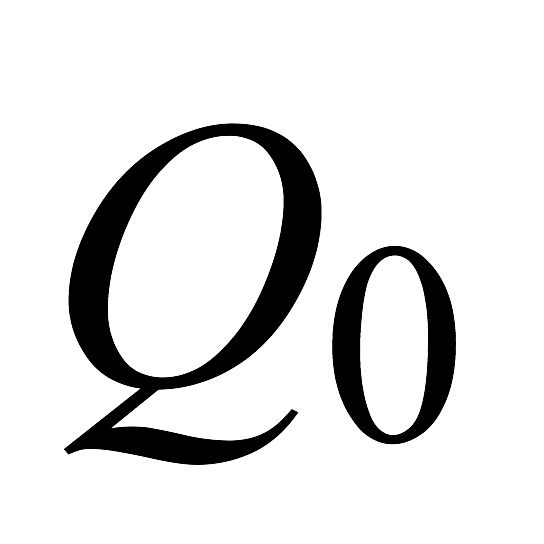


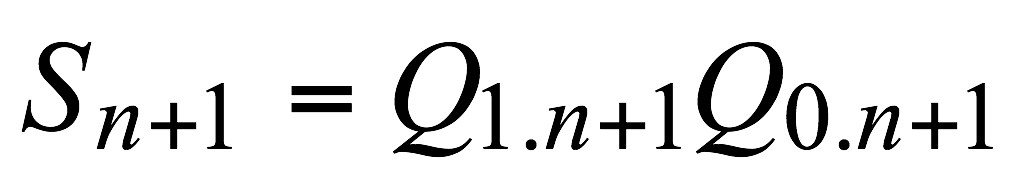
|  |
| --- |
| При выборе триггера с одним управляющим сигналом (*D-* и *T*-триггера) уменьшается разрядность сигнала ПОС, но усложняется структура комбинационной подсистемы. Учитывая сказанное, выберем для реализации подсистемы памяти *Т*-триггеры. Таблица П5.2 соответствует таблице переходов *Т*-триггера.  Таблица П5.2. Таблица переходов *Т*-триггера  *Qn Qn+1 T*  0 0 0  0 1 1  1 0 1  1 1 0 |

4. Составим расширенную таблицу истинности (табл. П5.3).

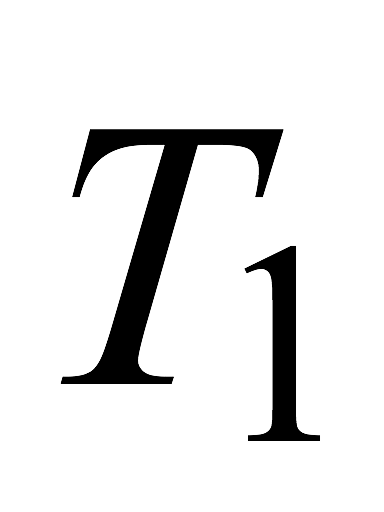
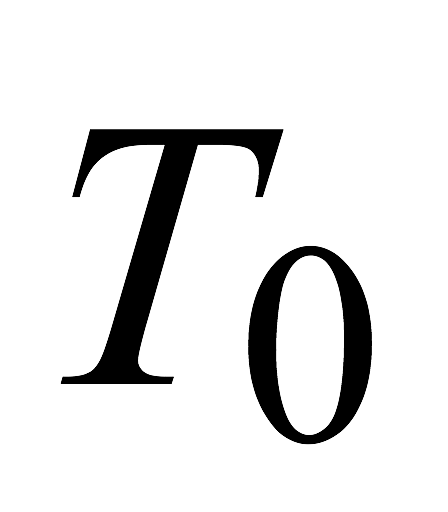
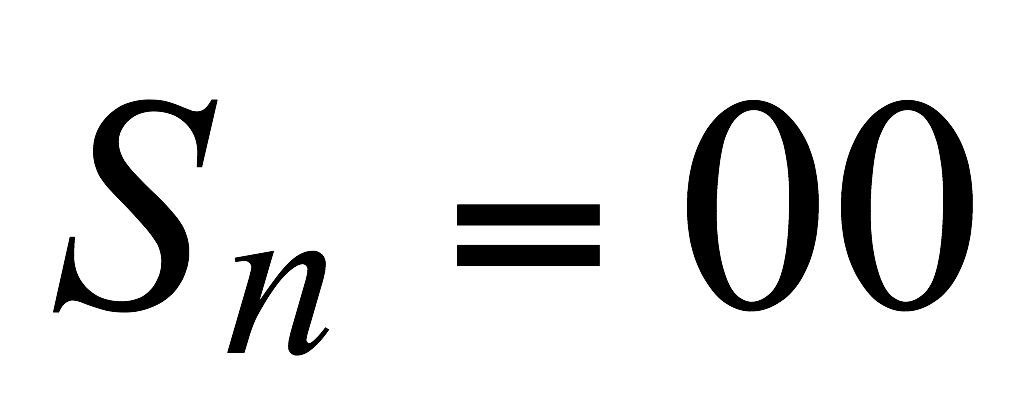
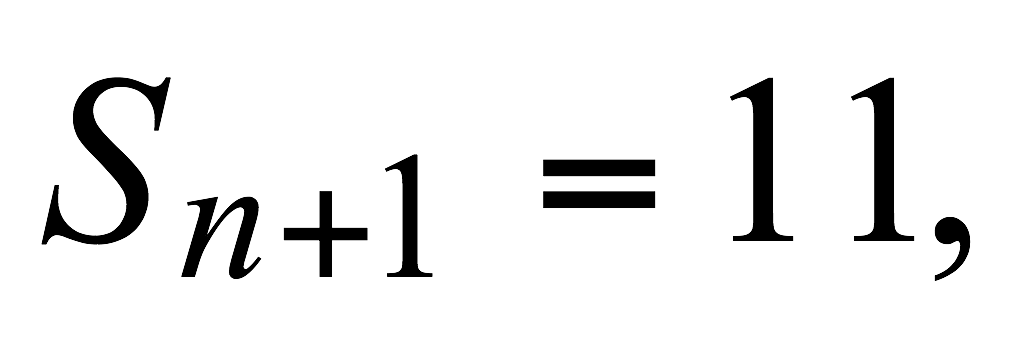
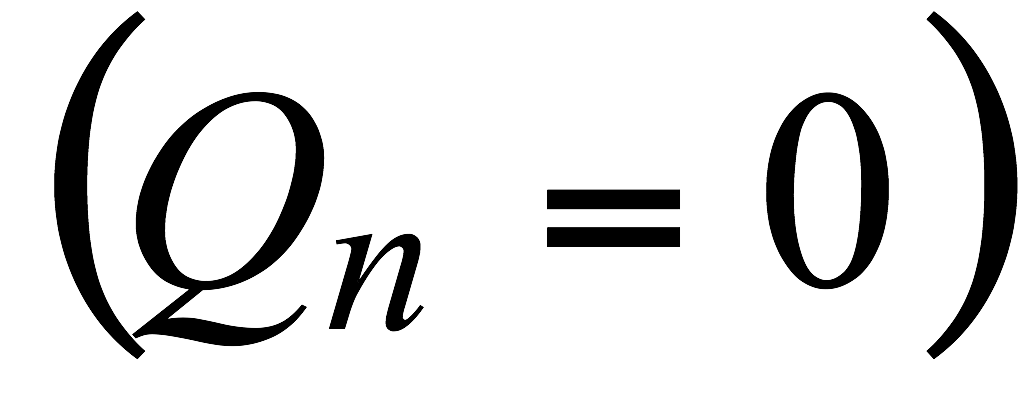
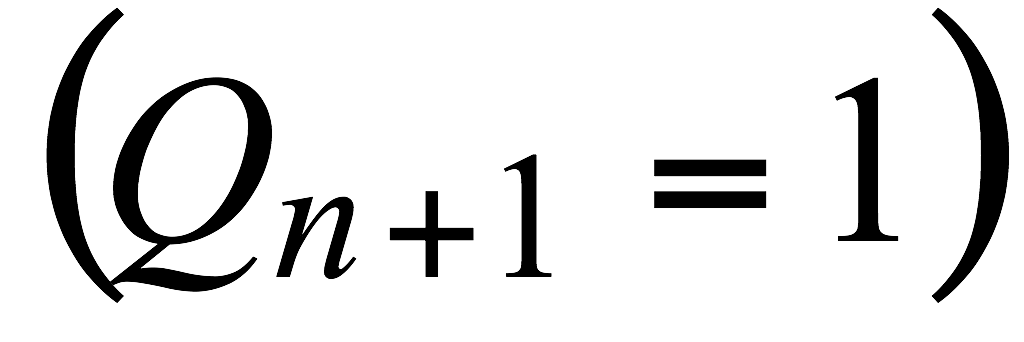
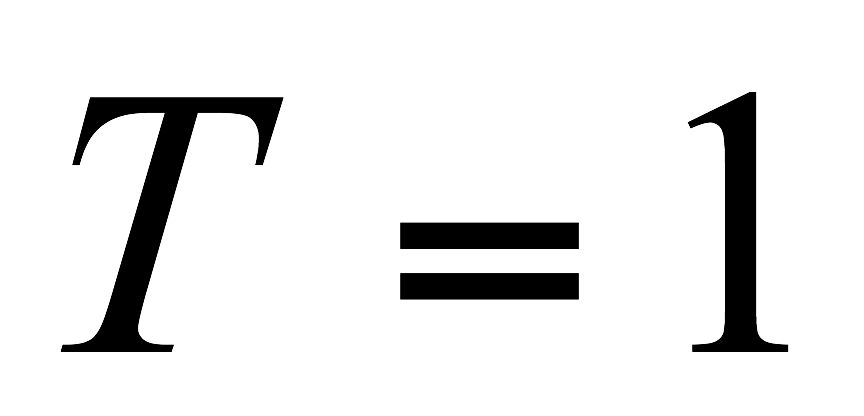
Таблица П5.3. Расширенная таблица истинности заданного алгоритма устройства

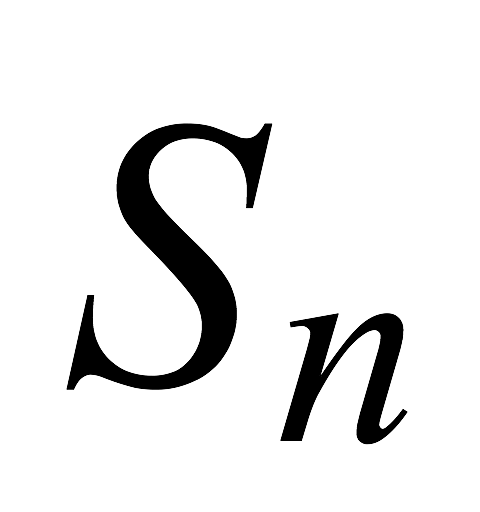
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *X* | *Sn* | *Sn+1* | *Y* | Z |
| 0 | 00 | 11 | 11 | 100 |
| 0 | 01 | 00 | 01 | 000 |
| 0 | 10 | 01 | 11 | 001 |
| 0 | 11 | 10 | 01 | 010 |
| 1 | 00 | 01 | 01 | 000 |
| 1 | 01 | 10 | 11 | 001 |
| 1 | 10 | 11 | 01 | 010 |
| 1 | 11 | 00 | 11 | 100 |

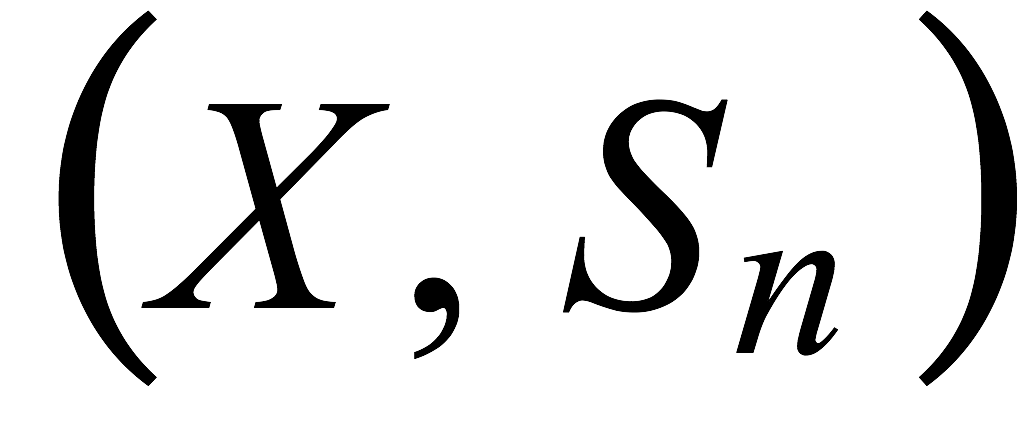
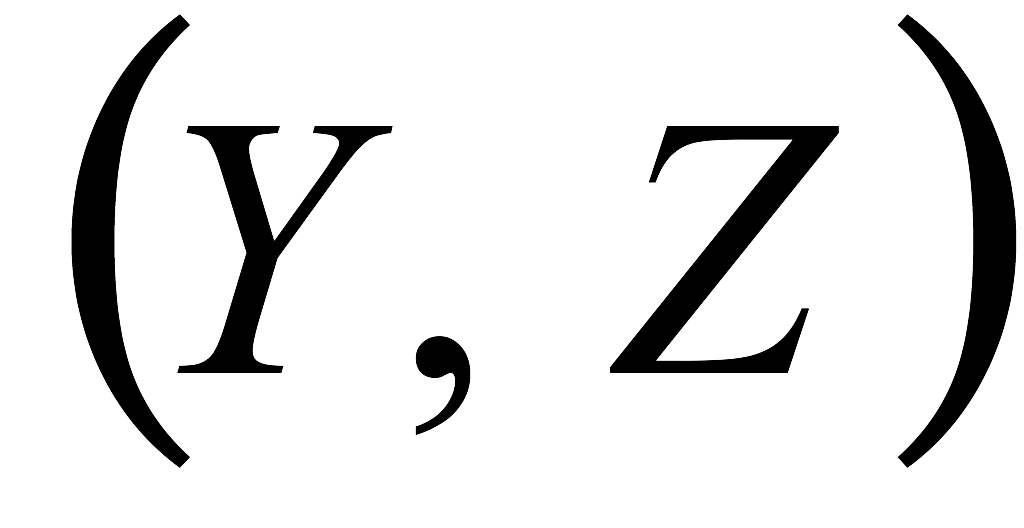
Поясним составление расширенной таблицы истинности. В первых двух столбцах таблицы записаны все комбинации фактически возможных входных сигналов комбинационной подсистемы автомата. Это входные сигналы *Х* и сигналы , формируемые подсистемой памяти в данный момент времени. Очевидно, сигнал *Sn* определяется комбинацией выходных сигналов триггеров подсистемы памяти, т.е. , где  и  − выходные сигналы триггеров под номерами 1 и 0.

Третий столбец таблицы содержит выходные сигналы (состояния) подсистемы памяти, которые должны формироваться после переключения триггеров:.

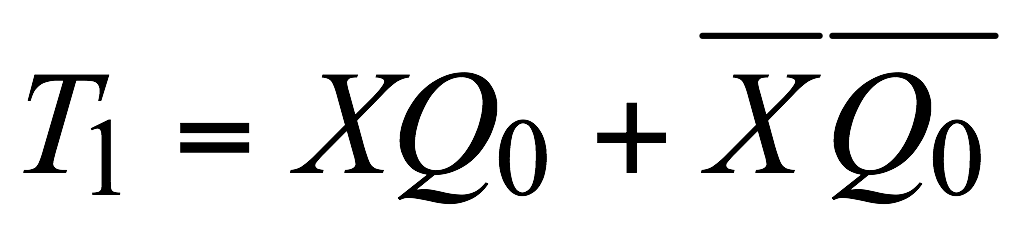
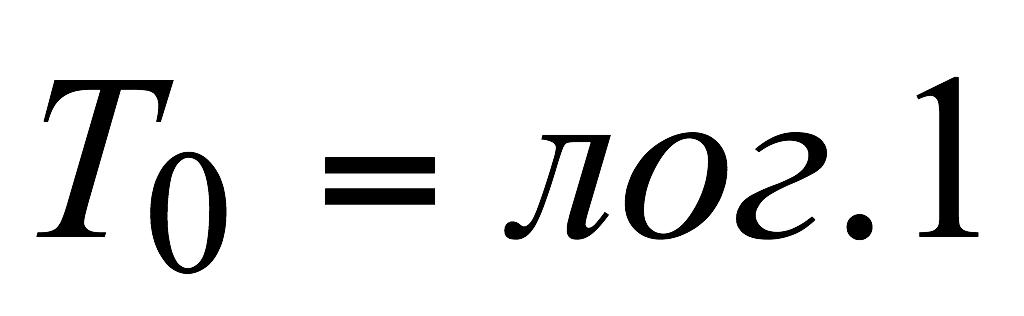
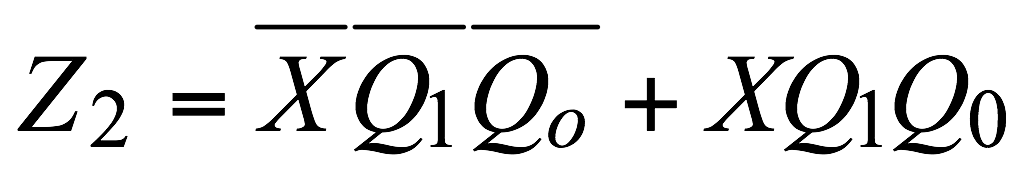
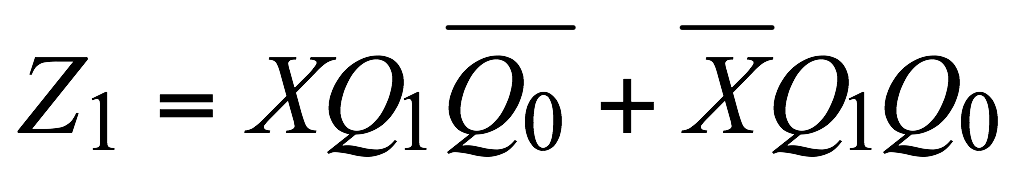
Значения этих сигналов берутся либо из графа переходов автомата, либо из таблицы его состояний.

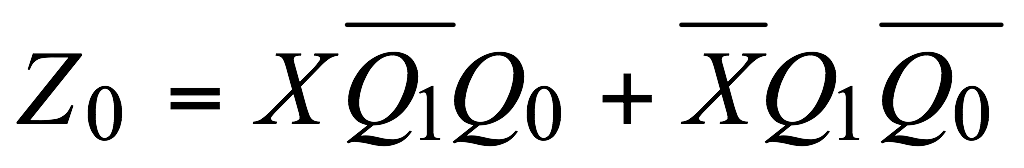
Четвертый столбец содержит сигналы ПОС, которые должна формировать комбинационная подсистема для обеспечения заданного порядка переключения триггеров подсистемы памяти. Подсистема памяти в нашем случае состоит из двух *Т*-триггеров, поэтому сигнал - 2-разрядный код, где  и  соответственно информационные сигналы первого и нулевого триггеров подсистемы памяти. Значения этих сигналов можно получить из таблицы переходов выбранного типа триггера (см. табл. П5.2). Например, для первой строки расширенной таблицы истинности имеем  и  т.е. оба триггера должны переключиться. Из таблицы П5.2 имеем, что для перехода триггера из сброшенного состояния  в состояние установки  на его информационный вход необходимо подать управляющий сигнал . Поэтому сигнал (код) *Y* для этой строки равен 11.

Последний столбец таблицы П5.3 содержит значения выходных сигналов, которые для известных  выбираются либо из графа переходов, либо из расширенной таблицы истинности.

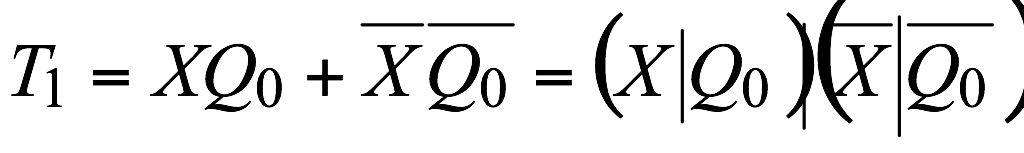
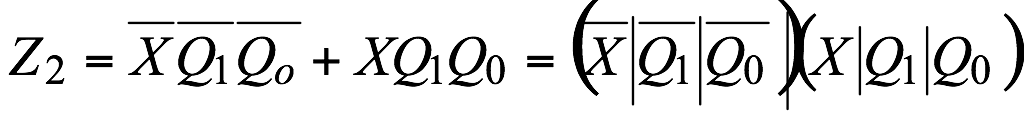
5. Для завершения проектирования необходимо получить ФАЛ, описывающие поведение комбинационной подсистемы. Эти ФАЛ можно синтезировать из расширенной таблицы истинности, которая содержит всю информацию о входных  и выходных  сигналах подсистемы. Проведем минимизацию этих ФАЛ с использованием карт Вейча. На рис. П5.7 приведены соответствующие карты Вейча.

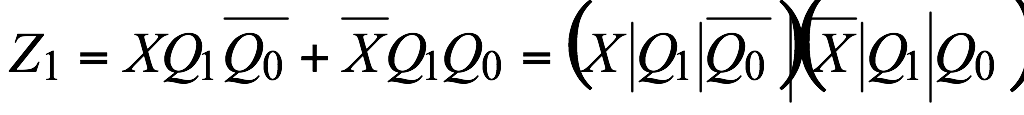
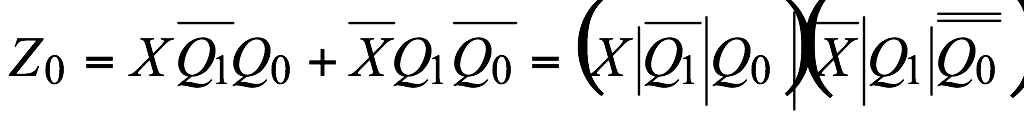
Используя полученные карты, запишем минимизированные ФАЛ для комбинационной подсистемы проектируемого устройства.

; ; ; ;

.

Преобразуем полученные выражения к базису элементов И-НЕ.

; ;

; .

6. Используя полученные ФАЛ и выбранный тип триггеров для реализации блока памяти, синтезируем схему проектируемого устройства (рис. П5.8)..

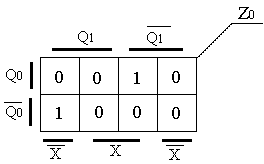
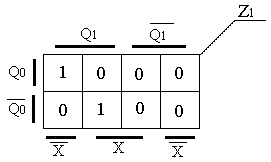
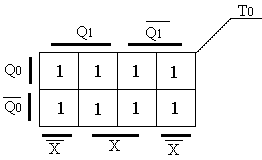
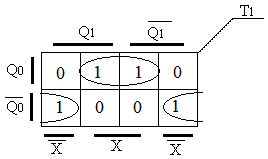
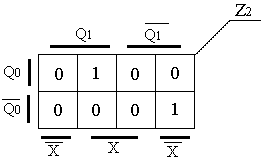
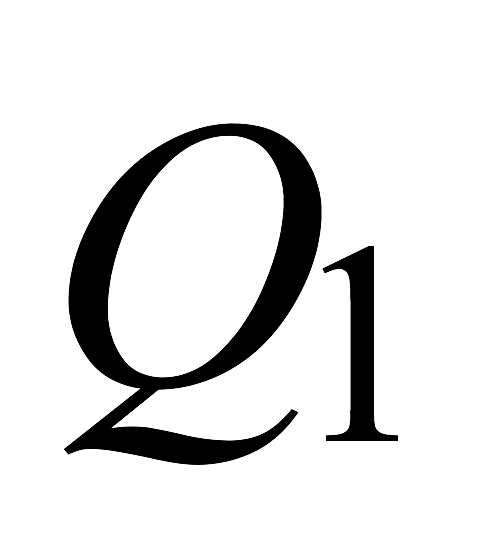
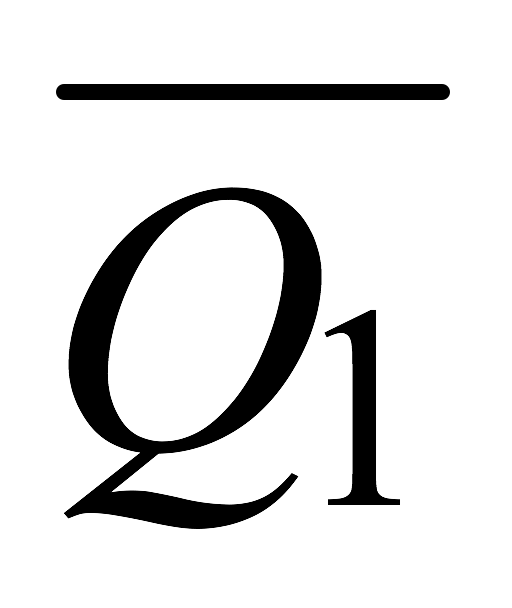
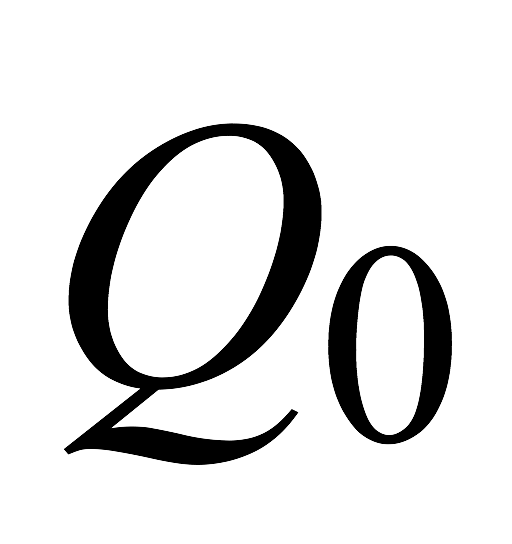
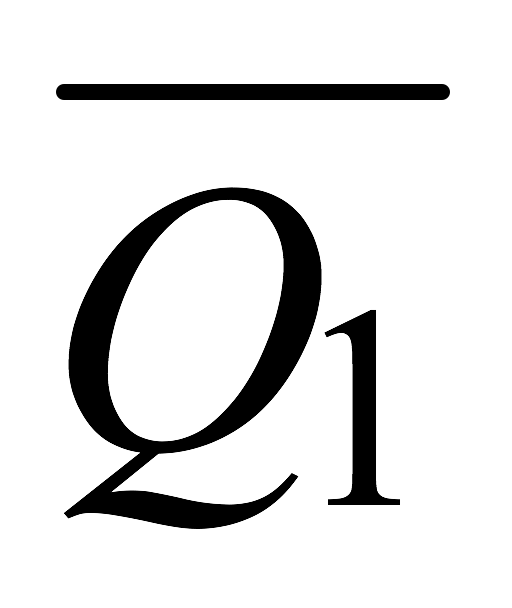
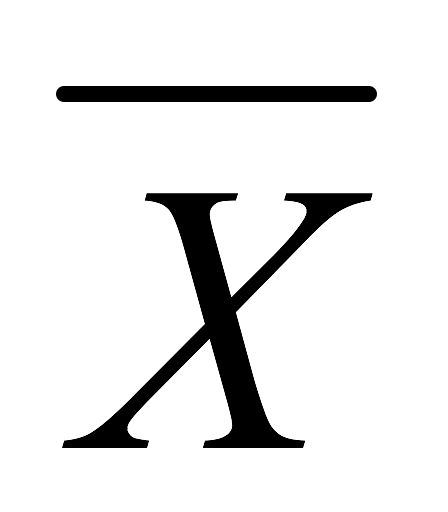


Рис. П5.7. Карты Вейча для комбинационной системы примера

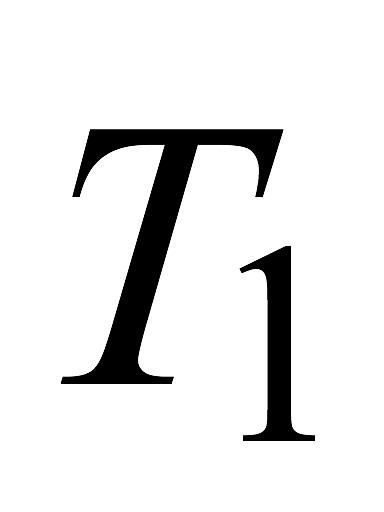
0

1

На схеме автомата триггер DD1 формирует сигналы  и . Триггер DD2 формирует сигналы  и . Для получения сигнала «лог.1» используется логический элемент DD3 (2И-НЕ), на вход которого подаются два сигнала нулевого потенциала, который принято считать сигналом «лог.0». Элемент DD4 используется как инвертор для формирования сигнала .

|  |
| --- |
|  |

Рис. П5.8. Схема синтезированного автомата

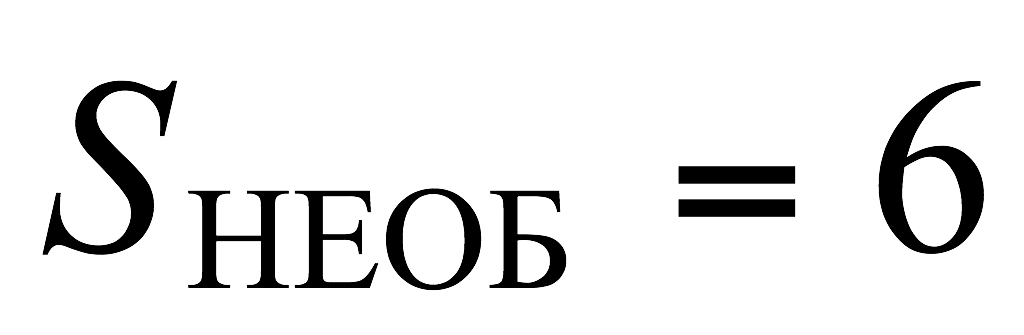
Элементы DD5, DD6 и DD13 формируют сигнал , управляющий работой триггера DD1. Элементы DD7…DD12 и DD14…DD16 формируют выходные сигналы автомата Z.

***Приложение* 6**

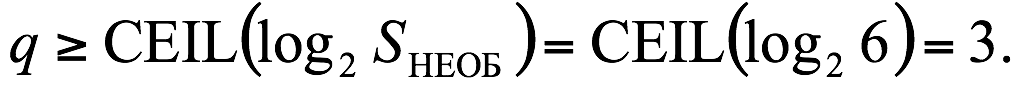
**П6. Синтез последовательностного логического устройства**

**(*пример выполнения задания* КР7*-*3)**

Рассмотрим пример синтеза последовательностного устройства, формирующего на выходе следующую последовательность кодов: 21, 97, 67, 21, 38, 96.

1. Определим необходимое число состояний и требуемый объем памяти автомата, формирующего на выходе заданную последовательность выходных кодов. Согласно заданию на выходе устройства должно быть сформировано 6 чисел. При этом число 21 повторяется 2 раза. Для автомата это два различных числа, так как после первого числа 21 идет число 97, а после второго – число 38. Поэтому на выходе формируется 6 различных чисел и .

2. Для определения числа требуемых триггеров воспользуемся выражением:



Итак, для реализации подсистемы памяти необходимо 3 триггера.

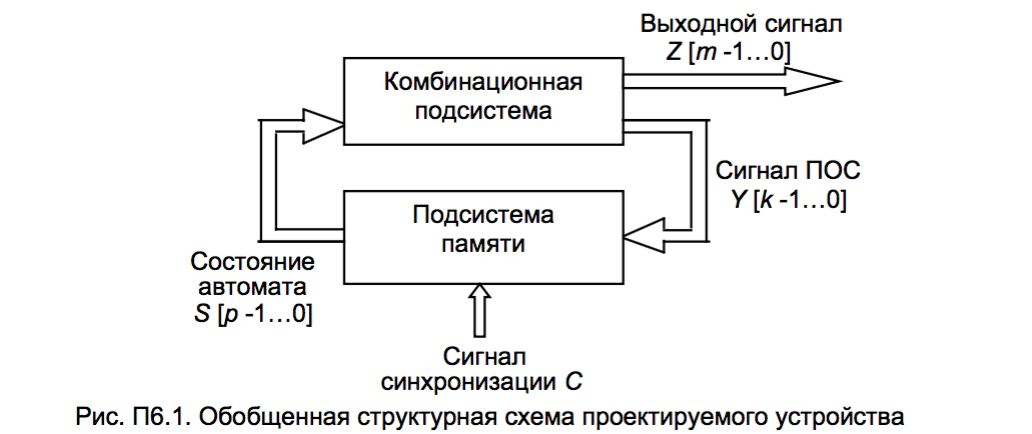
3. Преобразуем заданные десятичные коды к виду двоично-десятичных кодов. Результаты преобразования сведены в таблицу П6.1.

Таблица П6.1. Двоично-десятичное представление выходных кодов.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Исходное число | Старший разряд выходного числа | | | | Младший разряд выходного числа | | | |
| *Z*7 | *Z*6 | *Z*5 | *Z*4 | *Z*3 | *Z*2 | *Z*1 | *Z*0 |
| 21 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 97 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 67 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 21 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 38 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 96 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |

П р и м е ч а н и е. В двоично-десятичном коде каждый разряд десятичного числа представляется четырехразрядным двоичным кодом, в котором используется только 10 первых значений. Коды с 10 по 15 не используются.

Согласно полученной таблице для реализации заданной последовательности кодов необходимо использовать 8-разрядный код *Z*7…*Z*0.

4. Обобщенная структурная схема проектируемого устройства имеет вид, показанный на рис. П6.1. Очевидно, что для функционирования устройства не требуется использование входного сигнала, т.е. устройство имеет структуру автомата Мура.

5. Синтезируем граф переходов проектируемого устройства. Отметим, что для работы устройства необходимо 6 состояний, в то время как при объеме памяти (3 триггера) возможно формирование 8 состояний. Следовательно, 2 возможных состояния являются лишними и необходимо обеспечить работоспособность устройства при появлении на выходе этих лишних состояний (аварийных режимов). Для этого надо предусмотреть принудительный выход из этих состояний. Допустим, что при попадании устройства в лишнее состояние автомат должен вернуться к началу последовательности, при этом на выходе должен сформироваться нулевой код. Отвечающий сказанному граф переходов показан на рис. П6.2. В этом графе, в виду отсутствия входного сигнала, в числителе дроби, записанной над ребром графа, стоит прочерк.

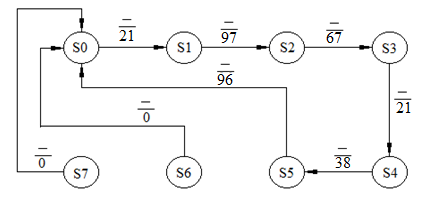


Рис. П6.2. Граф переходов проектируемого устройства

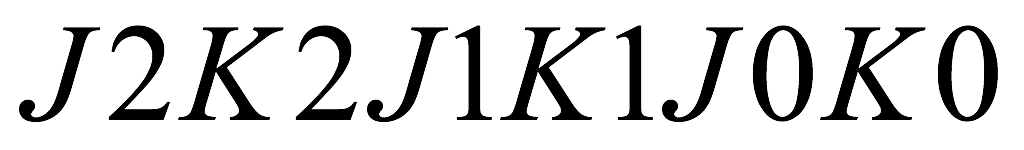
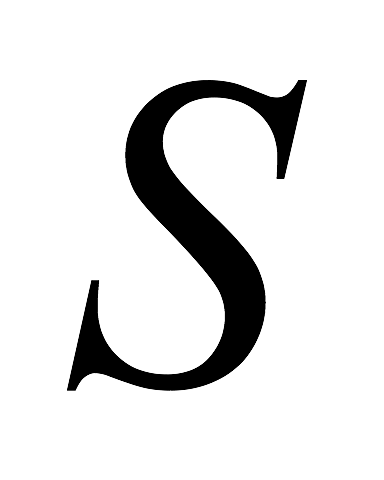
Для реализации триггерной подсистемы выберем *JK*-триггер. Запишем таблицу переходов триггера данного типа (табл. П6.2). Особенностью данной таблицы является наличие большого числа неопределенных сигналов, что, с большой степенью вероятности, позволит упростить реализацию комбинационной подсистемы автомата за счет получения не полностью определенной расширенной таблицы истинности. С выбором типа триггера заканчивается проектирование подсистемы памяти. Она состоит из 3-х *JK*-триггеров. Сигнал ПОС *Y*, соответствующий таблице переходов, является 6-разрядным: , по два управляющих сигнала на каждый триггер. Сигнал  трехразрядный.

Таблица П6.2. Таблица переходов *JK*-триггера

|  |  |  |  |
| --- | --- | --- | --- |
| *Qn* | *Qn*+1 | *J* | *K* |
| 0 | 0 | 0 | - |
| 0 | 1 | 1 | - |
| 1 | 0 | - | 1 |
| 1 | 1 | - | 0 |

7. Составим расширенную таблицу истинности, описывающую работу комбинационной подсистемы автомата (табл. П6.3). Для этого состояниям, указанным на графе переходов, присвоим следующие коды: *S*0 = 000; *S*1 = 001; *S*2 = 010; *S*3 = 011; *S*4 = 100; *S*5 = 101; S6 = 110; S7 = 111.

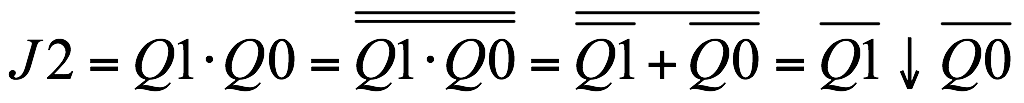
Таблица П6.3. Расширенная таблица истинности комбинационной подсистемы автомата.

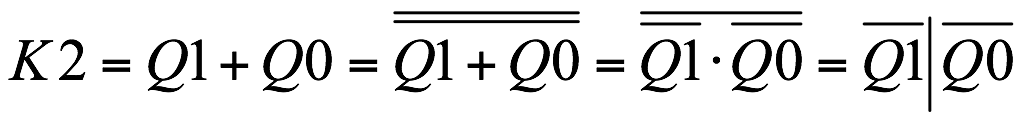
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *Sn* | | | *Sn+1* | | | *Y* | | | | | | *Z* | | | | | | | |
| *Q*2 | *Q*1 | *Q*0 | *Q*2 | *Q*1 | *Q*0 | *J*2 | *K*2 | *J*1 | *K*1 | *J*0 | *K*0 | *Z*7 | *Z*6 | *Z*5 | *Z*4 | *Z*3 | *Z*2 | *Z*1 | *Z*0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | - | 0 | - | 1 | - | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | - | 1 | - | - | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | - | - | 0 | 1 | - | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | - | - | 1 | - | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | - | 0 | 0 | - | 1 | - | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | - | 1 | 0 | - | - | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | - | 1 | - | 1 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | - | 1 | - | 1 | - | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

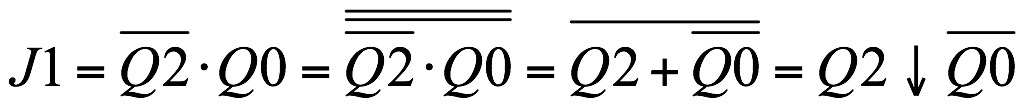
8. Минимизацию ФАЛ подсистемы выполним с использованием карт Вейча.

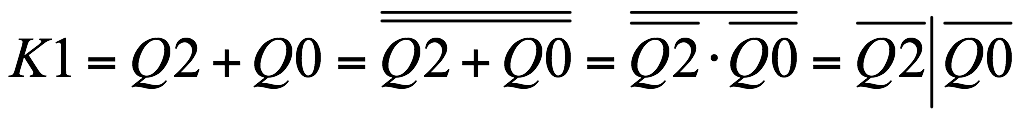
|  |  |
| --- | --- |
|  |  |
|  |  |
|  | или |
|  |  |
|  |  |
|  |  |
|  |  |

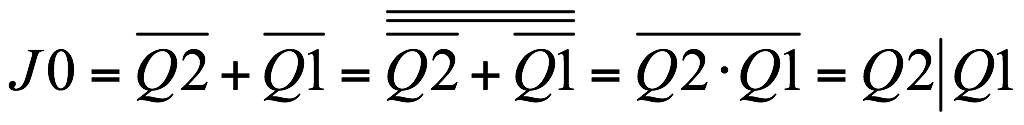
1. Приведем полученные выражения к базису элементов И-НЕ и ИЛИ-НЕ. При этом допустимое число входов элементов должно равняться 2, 3 или 4.

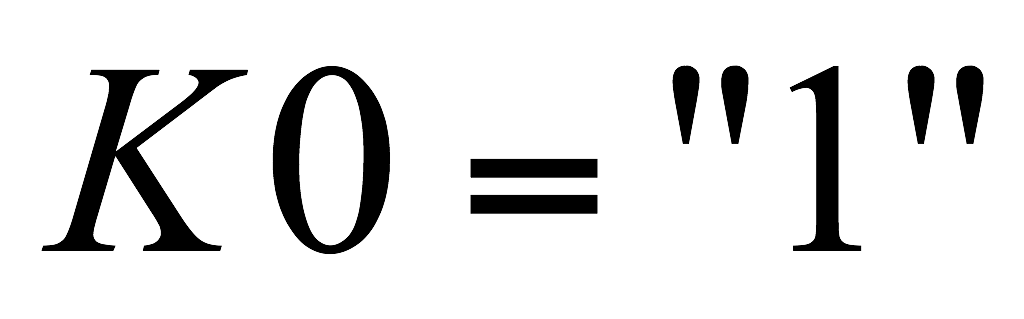
,

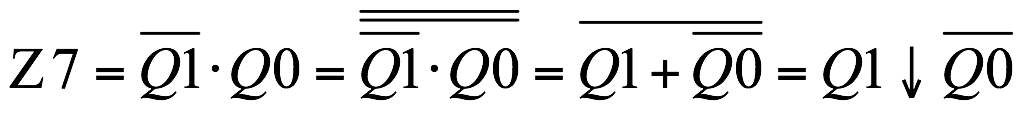
,

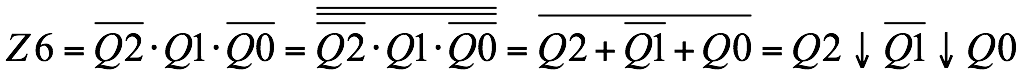
,

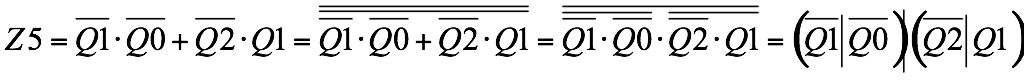
,

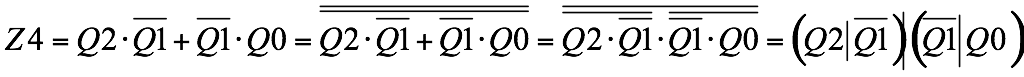
,

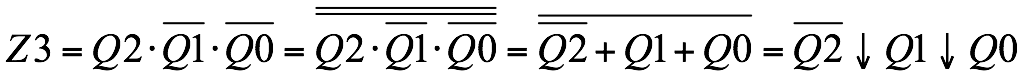
,

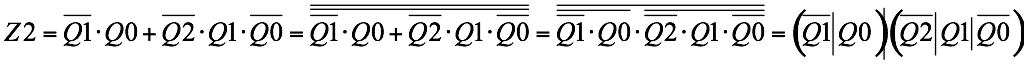
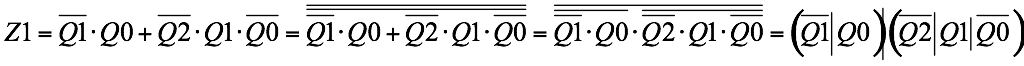
,

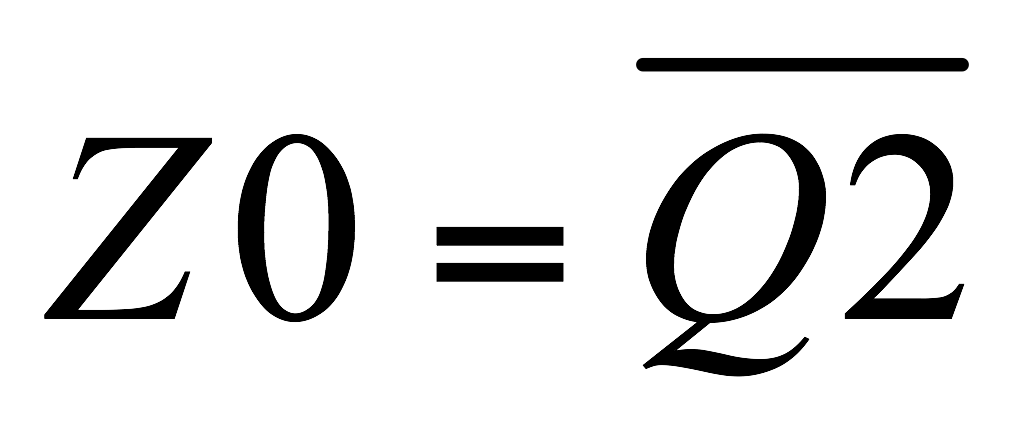
,

,

,

,

,,

.

Критерием при выборе типа элемента являлось получения наиболее простых выражений, что предполагает упрощение схемной реализации устройства.

10. Синтезированная по ФАЛ схема автомата, приведена на рис. П6.3.

11. Нарисуем временные диаграммы, поясняющие работу спроектированного устройства. Для этого на вход *С* подадим последовательность импульсов синхронизации, а на выходах триггеров подсистемы памяти зададим одно из возможных состояний *S*. В качестве примера на рис. П6.4 на выходах триггеров задано исходное состояние автомата *S* = 000. Для этого случая на выходе комбинационной подсистемы формируются следующие сигналы: *J*2= 0*, K*2 *=* 0*, J*1 *=* 0*, K*1 *=* 1*, J*0 *=* 1*, K*0 *=* 1*, Z* = 00100001*.* Полученные сигналы подтверждают исходное задание, так как на выходе получено число 21, а следующим состоянием будет *S* = 001.

При нахождении выходных сигналов комбинационной подсистемы удобно пользоваться введенным ранее для триггеров понятием активного логического уровня. Для элемента И-НЕ активным является сигнал «лог.0» так как появление на любом его входе этого сигнала выходной сигнал однозначно равен «лог.1». Для элемента ИЛИ-НЕ это сигнал «лог.1» формирующий на выходе сигнал «лог.0». Поэтому (см рис. П6.3) нет необходимости искать сигнал на выходе элемента DD12, так как на выходе DD11 сформирован сигнал «лог.0» задающий на выходе элемента DD18 сигнал «лог.1». На рис. П6.4. приведены полученные таким образом временные диаграммы работы спроектированного автомата.

Применение двухступенчатых триггеров привело к тому, что, фактически изменение выходного кода автомата происходит по срезу импульса синхронизации. Поэтому, для реализации переключения по фронту на входе устройства сигнал синхронизации *С* необходимо инвертировать.

